



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0066333
(43) 공개일자 2016년06월10일

(51) 국제특허분류(Int. Cl.)

H01L 27/14 (2006.01)

(21) 출원번호 10-2014-0170566

(22) 출원일자 2014년12월02일

심사청구일자 2014년12월02일

(71) 출원인

광주과학기술원

광주광역시 북구 첨단과기로 123 (오룡동)

(72) 발명자

장재형

광주광역시 북구 첨단과기로 123(오룡동) 광주과학기술원 정보통신공학부

(74) 대리인

김기문

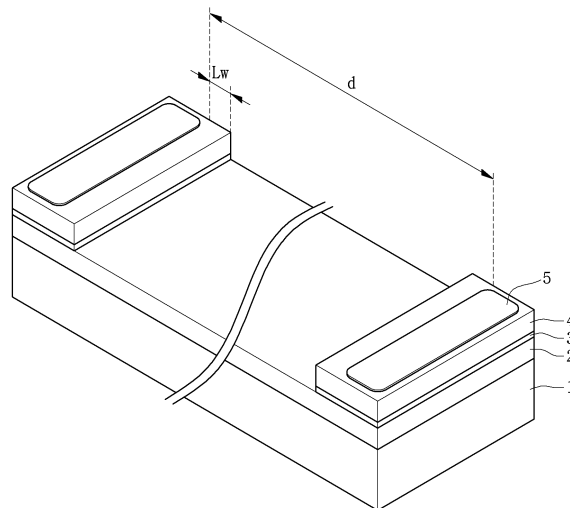
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 광전도 반도체 스위치 및 그 스위치의 제조방법

(57) 요약

본 발명에 따른 광전도 반도체 스위치에는, 입사광에 의해서 전자와 정공을 발생시키는 반도체 기관; 상기 반도체 기관 상의 이격되는 두 지점에 제공되고, 풍부한 캐리어에 의해서 낮은 저항을 가지는 적어도 한 쌍의 도전층; 및 상기 적어도 한 쌍의 도전층에 각각 접촉되는 적어도 한 쌍의 전극이 포함된다. 본 발명에 따르면, 광전도 반도체 스위치를 고전압 및 고출력에서도 사용할 수 있다.

대표도 - 도1



명세서

청구범위

청구항 1

입사광에 의해서 전자와 정공을 발생시키는 반도체 기관;

상기 반도체 기관 상의 이격되는 두 지점에 제공되고, 풍부한 캐리어에 의해서 낮은 저항을 가지는 적어도 한 쌍의 도전층; 및

상기 적어도 한 쌍의 도전층에 각각 접촉되는 적어도 한 쌍의 전극이 포함되는 광전도 반도체 스위치.

청구항 2

제 1 항에 있어서,

상기 한 쌍의 도전층 중의 적어도 하나는, 서로 마주보는 방향으로 상기 전극으로부터 더 연장되는 릿지부를 가져서, 상기 전극의 접촉부에서 저항을 낮추는 광전도 반도체 스위치.

청구항 3

제 2 항에 있어서,

상기 릿지부는 상기 한 쌍의 도전층에 모두 제공되는 광전도 반도체 스위치.

청구항 4

제 2 항에 있어서,

상기 한 쌍의 전극사이의 거리는 상기 릿지부의 길이에 비하여 10~500배인 광전도 반도체 스위치.

청구항 5

제 2 항에 있어서,

상기 한 쌍의 전극사이의 거리는 0.1 ~ 5mm이고, 상기 릿지부의 길이는 10um ~ 0.1mm인 광전도 반도체 스위치.

청구항 6

제 1 항에 있어서,

상기 도전층은 상기 반도체 기관에 비하여 밴드갭이 더 큰 광전도 반도체 스위치.

청구항 7

제 1 항에 있어서,

상기 전극은 오믹접촉을 제공하는 광전도 반도체 스위치.

청구항 8

제 1 항에 있어서,

상기 전극은 경계선이 연속적으로 제공되는 광전도 반도체 스위치.

청구항 9

제 1 항에 있어서,

상기 반도체 기관은 GaAs기관인 광전도 반도체 스위치.

청구항 10

제 9 항에 있어서,

상기 도전층은, GaAs, InGaP, 및 AlGaAsP에서 선택되는 어느 물질이 사용되는 광전도 반도체 스위치.

청구항 11

제 10 항에 있어서,

상기 도전층이 GaAs인 경우에는 상기 도전층의 하측에 에치스탑층이 제공되고, 상기 에치스탑층은 AlAs 및 InP에서 선택되는 어느 물질이 사용되는 광전도 반도체 스위치.

청구항 12

제 1 항에 있어서,

상기 반도체 기판의 상측에는 도핑되지 않은 버퍼층이 적층되는 광전도 반도체 스위치.

청구항 13

제 1 항에 있어서,

상기 적어도 한 쌍의 도전층은 상기 반도체 기판의 어느 일측에 함께 제공되는 광전도 반도체 스위치.

청구항 14

제 2 항에 있어서,

상기 적어도 한 쌍의 도전층은 상기 반도체 기판의 양면에 한 쌍씩 제공되고, 상기 전극은 상기 도전층의 상측에 각각 제공되는 광전도 반도체 스위치.

청구항 15

제 1 항에 있어서,

상기 광전도 반도체 스위치의 사용 시에, 상기 전극은, 상기 반도체 기판의 상측에 있는 어느 전극, 상기 반도체 기판의 하측에 있는 어느 전극이, 쌍으로 사용하는 광전도 반도체 스위치.

청구항 16

제 15 항에 있어서,

상기 전극은, 상기 반도체 기판의 상측에 적어도 두 개, 상기 반도체 기판의 하측에 적어도 두 개가 제공되고, 서로 거리가 먼 전극이 쌍으로 사용되는 광전도 반도체 스위치.

청구항 17

테라헤르츠를 포함하는 초고주파 대역에서 펄스형태의 광신호를 전기신호로 변환하는 광전도 반도체 스위치로서,

적어도 한 쌍의 서로 이격되는 전극의 하측에 전극의 모서리부위를 포함하여 그 바깥쪽으로 더 연장되는 도핑되는 적어도 한 쌍의 도전층을 가지고,

상기 적어도 한 쌍의 도전층에는, 상기 한 쌍의 도전층이 서로 마주보는 방향으로 상기 적어도 한 쌍의 전극에서 더 연장되는 릿지부를 가지는 광전도 반도체 스위치.

청구항 18

제 17 항에 있어서,

상기 전극은 사각형으로서, 그 꼭지점은 둥글게 제공되는 광전도 반도체 스위치.

청구항 19

광자에 의해서 전자정공쌍을 발생시키는 반절연 반도체 기판 상에 도전층을 성장하는 것;

상기 도전층에 한 쌍의 전극을 제공하는 것; 및

상기 전극보다 큰 마스크를 활용하여 상기 한 쌍의 전극보다 더 큰 모양으로 릿지부를 가지도록 상기 도전층을 식각하는 것이 포함되는 광전도 반도체 스위치의 제조방법.

청구항 20

제 19 항에 있어서,

상기 릿지부는 상기 한 쌍의 전극이 마주보는 방향으로 상기 전극에서 더 연장되는 광전도 반도체 스위치의 제조방법.

청구항 21

제 19 항에 있어서,

상기 도전층의 성장 전에, 버퍼층 및 에치스탑층을 성장하는 공정이 더 수행되는 광전도 반도체 스위치의 제조방법.

청구항 22

제 21 항에 있어서,

상기 에치스탑층과 상기 도전층을 위한, 식각용액 또는 식각화학물질은 서로 다른 광전도 반도체 스위치의 제조방법.

청구항 23

제 15 항에 있어서,

상기 전극은 꼭지점이 둥글게 제공되는 광전도 반도체 스위치의 제조방법.

청구항 24

제 15 항에 있어서,

상기 도전층을 식각한 다음에, 보호막을 형성하고, 상기 한 쌍의 전극을 노출시키는 공정이 포함되는 광전도 반도체 스위치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 광전도 반도체 스위치에 관한 것으로서, 고전압 및 고출력으로 예시되는 극한의 환경에서도 신뢰성이 있는 동작이 가능한 광전도 반도체 스위치 및 그 스위치의 제조방법에 관한 것이다.

배경 기술

[0002] 광전도 반도체 스위치(PCSS: PhotoConductive Semiconductor Switch)는 광신호를 전기적 신호로 변환시키는 장치로서, 특히, 초고주파 및 THz(테라헤르츠) 주파수 대역에서 펄스형태의 광신호를 전기신호로 변환하여 전자기파를 생성하는데 사용될 수 있다.

[0003] 상기 광전도 반도체 스위치는 다음과 같이 동작한다. 먼저, 외부에서 입사하는 광자가 반도체층에서 흡수되어 전자/정공쌍을 생성한다. 상기 전자/정공쌍은 외부에서 인가되는 전압에 의해 상기 반도체에 형성된 전기장에 의해 분리될 뿐 아니라, 가속되어 높은 운동에너지를 가지게 되고, 캐리어의 중복재생성, 예를 들어, avalanche multiplication이 발생할 수 있다. 분리된 상기 전자/정공쌍은 두 개의 전극에 수집된다. 이러한 동작은 결국 외부의 빛이 전기신호로 변환되고 전자기파를 생성하는 것으로 이해할 수 있다. 상기 광전도 반도체 스위치에서, 빠른 전기적 응답을 통해 매우 짧은 전기적 펄스를 형성하기 위해서는, 반도체의 전자 및 정공의 이동도(mobility)가 커야 하고, 캐리어의 라이프타임(lifetime)이 짧아야 한다. 상기 캐리어의 이동도는 펄스의 라이징타임(rising time)을 결정하고, 캐리어의 라이프타임은 폴링타임(falling time)을 결정한다.

- [0004] 한편, 상기 광전도 반도체 스위치가 고출력(High power)의 스위칭을 하기 위해서는, 입사광이 없는 상태에서 높은 저항을 형성하여 전류를 흐르지 못하도록 막아야 하고, 입사광이 있는 경우에는 광자에 의해서 생성된 전자/정공쌍이 흐르는 전류의 전체 경로에서 저항이 충분히 줄어들어야 한다. 간단하게 설명하면, 빛이 있는 경우와 빛이 없는 경우의 저항의 차이가, 고전압 및 고출력으로 동작하는 광전도 반도체 스위치의 가장 중요한 성능 지표 중의 하나이다. 구체적으로는, 광전도 반도체 스위치에 수십 KV에서 수백 KV의 전압이 인가된 상태에서도 전류가 흐르지 않아 회로를 개방상태로 유지하기 위해서는, 상기 입사광이 없는 상태에서 상기 광전도 반도체 스위치의 저항이 기가오姆(giga Ω)이상이 되어서 전류를 매우 낮은 수준으로 억제하여야 한다. 결국, 광전도 반도체 스위치의 반도체는, 입사하는 빛이 없는 상태에서 절연체의 성질을 띠는 것이 바람직하다.
- [0005] 상기 광전도 반도체 스위치의 최대허용전압은, 반도체의 최대 허용 전기장의 세기, 및 광전도 반도체 스위치에 제공되는 두 전극 사이의 간극의 영향을 받을 수 있다. 그러나 상기 최대허용전압에 현실적으로 더 큰 영향을 미치는 것은, 광전도 반도체 스위치에 고전류가 흐를 때, 전극 주변에 형성된 전류 필라멘트에 의한 열화, 반도체 파괴현상, 및 반도체 표면에서의 플래쉬오버(flashover)에 의한 소자 열화현상이다. 이러한 제한 요인으로 인하여, 상기 광전도 반도체 스위치의 사용 전압은, 이론적인 반도체의 유전체 파괴 전압보다 매우 낮은 전압에서 결정된다. 다시 말하면, 상기 광전도 반도체 스위치의 최대허용전압은, 전극 주변 또는 반도체 표면에서의 브레이크다운(breakdown) 또는 플래쉬오버에 의한 소자열화에 의해서 제한된다.
- [0006] 상기되는 배경에 의해서 고전압 및 고출력에서 견딜 수 있는 광전도 반도체 스위치를 제조하기 위해서는 전극 주변에서 형성되는 전류필라멘트와 표면에서의 플래쉬오버를 억제할 수 있는 소자구조 또는 공정이 반드시 요청된다고 할 수 있다.
- [0007] 도 5는 종래 광전도 반도체 스위치의 단면도로서, 하나의 전극 부근을 확대한 그림이다. 도 5를 참조하면, 전극이 반도체로 입사하는 입사광을 막기 때문에 전극의 가장자리, 및 전극 밑의 저항이 매우 크다. 따라서 전극의 가장자리 및 전극의 바로 밑 부분에서 주로 소자 열화현상이 시작된다.
- [0008] 구체적으로 설명하면, 상기 광전도 반도체 스위치를 높은 전압에서 동작시킬 때, 반도체 내에 형성된 매우 높은 전기장은 흡수된 광자에 의해 생성된 소량의 전자 및 정공들에게 에너지를 주게 된다. 뿐만 아니라, 가속된 전자와 정공들은 중복 재생성(예를 들어, avalanche multiplication)을 통해 그 숫자가 지수함수적으로 늘어난다. 이와 같은 광이득이 있는 전압 영역에서 동작하는 광전도 반도체 스위치를 비선형 광전도 반도체 스위치라고 한다.
- [0009] 이 때에는 소자 내에 형성되는 전류 필라멘트를 통해 매우 높은 전류가 흐르게 된다. 소자 내에서 고 전류가 흐를 때, 반도체 내의 저항이 조금이라도 높은 부분(high resistance 영역)에서 전기 에너지의 소모가 매우 커 옴 손실(ohmic loss)에 의해서 온도가 상승한다. 이에 따라 반도체에 결함이 형성되고, 전극 주변에서 금속 또는 반도체가 타버리는 현상이 발생하는 것이다. 이는 광전도 반도체 스위치의 사용전압을 제한하는 주된 요인으로 작용하게 된다.

발명의 내용

해결하려는 과제

- [0010] 본 발명은 상기되는 배경하에서 제안되는 것으로서, 고전압 및 고출력에서도 안정적으로 동작할 수 있는 광전도 반도체 스위치 및 그 스위치의 제조방법을 제안한다.

과제의 해결 수단

- [0011] 본 발명의 제 1 발명에 따른 광전도 반도체 스위치는 입사광에 의해서 전자와 정공을 발생시키는 반도체 기관; 상기 반도체 기관 상의 이격되는 두 지점에 제공되고, 풍부한 캐리어에 의해서 낮은 저항을 가지는 한 쌍의 도전층; 및 상기 한 쌍의 도전층에 각각 접촉되는 한 쌍의 전극이 포함된다. 이에 따르면, 광전도 반도체 스위치의 사용범위를 넓힐 수 있다.
- [0012] 여기서, 상기 한 쌍의 도전층 중의 적어도 하나는, 서로 마주보는 방향으로 상기 전극으로부터 더 연장되는 릿지부를 가져서, 상기 전극의 접촉부에서 저항을 낮출 수 있고, 상기 릿지부는 상기 한 쌍의 도전층에 모두 제공되는 것이 더욱 바람직하다. 상기 한 쌍의 전극사이의 거리는 상기 릿지부의 길이에 비하여 10~500배인 것이 더욱 바람직하고, 상기 한 쌍의 전극사이의 거리는 0.1 ~ 5mm이고, 상기 릿지부의 길이는 10um ~ 0.1mm로 제공될 수 있다.

- [0013] 또한, 상기 도전층은 상기 반도체 기판에 비하여 밴드갭이 더 크게 제공될 수 있고, 상기 전극은 오믹접촉을 제공할 수 있고, 상기 전극은 경계선이 연속적으로 제공되어 전류의 집중을 방지할 수 있다. 이로써, 전극의 가장 자리에서 저항을 낮추어 전기장의 집중현상을 방지할 수 있다.
- [0014] 또한, 상기 반도체 기판은 GaAs기판인 것이 바람직하고, 상기 도전층은, GaAs, InGaP, 및 AlGaAsP에서 선택되는 어느 물질이 사용되는 것이 바람직하고, 상기 도전층이 GaAs인 경우에는 상기 도전층의 하측에 에치스탑층(etch stop layer)이 제공되고, 상기 에치스탑층은 AlAs 및 InP에서 선택되는 어느 물질이 사용되는 것이 바람직하고, 상기 반도체 기판의 상측에는 도핑되지 않은 버퍼층이 적층되는 것이 더욱 바람직하다.
- [0015] 또한, 상기 상기 적어도 한 쌍의 도전층은 상기 반도체 기판의 어느 일측에 함께 제공되거나, 상기 반도체 기판의 양면에 한 쌍씩 제공되고, 상기 전극은 상기 도전층의 상측에 각각 제공될 수 있다. 나아가서, 상기 반도체 기판의 양면에 도전층이 모두 제공되는 경우에는, 상기 광전도 반도체 스위치의 사용 시에, 상기 전극은, 상기 반도체 기판의 상측에 있는 어느 전극, 상기 반도체 기판의 하측에 있는 어느 전극이, 쌍으로 사용할 수 있고, 이 경우에, 상기 전극은, 상기 반도체 기판의 상측에 적어도 두 개, 상기 반도체 기판의 하측에 적어도 두 개가 제공되고, 서로 거리가 먼 전극이 쌍으로 사용되도록 할 수 있다.
- [0016] 본 발명의 제 2 발명에 따른 광전도 반도체 스위치에는, 테라헤르츠를 포함하는 초고주파 대역에서 펄스형태의 광신호를 전기신호로 변환하는 광전도 반도체 스위치로서, 한 쌍의 서로 이격되는 전극의 하측에 전극의 모서리 부위를 포함하여 그 바깥쪽으로 더 연장되는 도핑되는 한 쌍의 도전층을 가지고, 상기 한 쌍의 도전층에는, 상기 한 쌍의 도전층이 서로 마주보는 방향으로 상기 한 쌍의 전극에서 더 연장되는 릿지부를 가지는 것을 특징으로 한다. 여기서, 상기 전극은 사각형으로서, 그 꼭지점은 둥글게 제공되는 것이 바람직하다.
- [0017] 본 발명의 제 3 발명에 따른 광전도 반도체 스위치의 제조방법에는, 광자에 의해서 전자정공쌍을 발생시키는 반절연 반도체 기판 상에 도전층을 성장하는 것; 상기 도전층에 한 쌍의 전극을 제공하는 것; 및 상기 전극보다 큰 마스크를 활용하여 상기 한 쌍의 전극보다 더 큰 모양으로 릿지부를 가지도록 상기 도전층을 식각하는 것이 포함된다.
- [0018] 여기서, 상기 릿지부는 상기 한 쌍의 전극이 마주보는 방향으로 상기 전극에서 더 연장되는 것이 바람직하고, 상기 도전층의 성장 전에, 버퍼층 및 에치스탑층을 성장하는 공정이 더 수행되는 것이 바람직하고, 상기 에치스탑층과 상기 도전층의 식각용액 또는 식각용 화학물질은 서로 다르게 제공될 수 있고, 상기 전극은 꼭지점이 둥글게 제공되는 것이 바람직하고, 상기 도전층을 식각한 다음에, 보호막을 형성하고, 상기 한 쌍의 전극을 노출시키는 공정이 더 포함되는 것이 바람직하다.

발명의 효과

- [0019] 본 발명에 따르면, 고전압 및 고출력에서도 신뢰성있게 사용할 수 있는 광전도 반도체 스위치 및 그 스위치의 제조방법을 제안할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 실시예에 따른 광전도 반도체 스위치의 사시도.
- 도 2는 실시예에 따른 광전도 반도체 스위치의 단면도.
- 도 3은 실시예에 따른 광전도 반도체 스위치의 제조방법의 흐름도.
- 도 4는 다른 실시예에 따른 광전도 반도체 스위치의 사시도.
- 도 5는 종래 광전도 반도체 스위치의 단면도로서, 하나의 전극 부근을 확대한 도면.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하에서는 도면을 참조하여 본 발명의 구체적인 실시예를 상세하게 설명한다. 그러나, 본 발명의 사상은 이하의 실시예에 제한되지 아니하고, 본 발명의 사상을 이해하는 당업자는 동일한 사상의 범위 내에 포함되는 다른 실시예를 구성요소의 부가, 변경, 삭제, 및 추가 등에 의해서 용이하게 제안할 수 있을 것이나, 이 또한 본 발명 사상의 범위 내에 포함된다고 할 것이다.
- [0022] 도 1은 실시예에 따른 광전도 반도체 스위치의 사시도이고, 도 2는 실시예에 따른 광전도 반도체 스위치의 단면도이다.

- [0023] 도 1 및 도 2를 참조하면, 광전도 반도체 스위치는, 반도체 기관(1)과, 상기 반도체 기관(1)의 상측에 제공되는 버퍼층(2)과, 상기 버퍼층(2) 상측에서 서로 이격되는 적어도 두 개소에서 제공되는 에치스탑층(3)과, 상기 에치스탑층(3)의 상측에 제공되는 도전성의 도전층(4)과, 상기 도전층(4)의 적어도 어느 일 부분에 제공되는 전극(5)이 포함된다. 상기 도전층(4)에는 입사광이 없는 때에도 전자 또는 정공이 다수 포함될 수 있다. 따라서 상기 도전층(4)에 의해서 상기 전극(5)의 가장자리 및 밑 부분의 높은 저항 및 그로 인한 문제를 일 부분 해소할 수 있다.
- [0024] 상기 각 구성을 개별적으로 더 상세하게 설명한다.
- [0025] 상기 반도체 기관(1)으로는 매우 높은 품질의 전도도가 낮은 반절연(semi-insulating) 기관이 바람직하게 사용될 수 있다. 이 중에서 화합물 반도체로서 GaAs기관의 경우에는, Fe doping을 통해 도너(donor) 또는 어셉터(acceptor)를 디프 레벨로 주입할 수 있다. 따라서, 의도치않게(unintentionally) 얇게 도핑된 레벨의 도너 또는 어셉터를 보상(compensation)함으로써, 상기 반절연 기관을 제조할 수 있다.
- [0026] 상기 전극(5)의 꼭지점 부분은 라운드지게, 즉 둥글게 제공된다. 다시 말하면, 모따기부가 제공되도록 하여 전하의 집중현상이 발생하지 않도록 한다. 이로써, 전극은 매우 깨끗하고 연속적인 경계면을 가지도록 하여 전자 또는 정공의 쏠림현상이 없도록 한다. 도 1에는 전극이 전체적으로 사각형 형태로서 꼭지점 부분은 둥글게 형성되는 것을 볼 수 있다. 광자에 의해서 발생한 전자 및 정공의 이동방향을 참조할 때(즉, 전자 또는 정공의 이동 경로), 한 쌍의 전극이 서로 마주보는 방향의 꼭지점은 둥글게 제공되는 것이 더욱 바람직하게 예시될 수 있다.
- [0027] 상기 전극(5)은 오믹접촉을 제공할 수 있도록, AuGe/Ni/Au, Pd/Ni/Au 등과 같은 다양한 양상의 전극이 제공될 수 있다.
- [0028] 상기 도전층(4)은 n형 또는 p형으로 도핑되어 있어 저항이 낮다. 특히 기관(1)에 비하여 매우 낮다. 만약, 도전층(4)이 없는 경우에는, 직접 오믹접촉을 형성하는 전극의 바로 밑 부분의 반도체층에는 입사광이 닿지 않기 때문에 전자-정공쌍이 없다. 따라서 두 전극 사이의 영역보다 저항이 크다. 따라서, 전극의 밑 부분 또는 전극의 가장자리에서 높은 저항이 발생하여 고장이 발생하고, 이는 전압 및 출력의 제한으로 작용한다. 상기 도전층(4)은 n형 또는 p형으로 도핑되는 GaAs 또는 InGaP 또는 AlGaAs가 사용될 수 있다. 제작상의 편의를 위하여 n^+GaAs 또는 n^+InGaP 가 적용될 수 있다.
- [0029] 또한, 상기 도전층(4)은 릿지구조(ledge structure)로서 릿지부(41)를 제공할 수 있다. 다시 말하면, 상기 릿지부(41)는 한 쌍의 상기 전극(5)에서 서로 마주보는 방향으로 더 연장되어 있을 수 있는 것이다. 이에 따르면, 전극(5)의 가장자리에서의 고저항을 더욱 낮출 수 있고 고전압 및 고출력에 더욱 능동적으로 대응할 수 있다. 또한, 상기 도전층(4)은 기관(1)보다 밴드갭이 더 높은 물질을 사용하여 광흡수가 기관(1)에 비하여 덜 일어나는 구조로 제공할 수 있다. 이는 상기 입사광이 도전층(4)에서 흡수되지 않고 기관(1)에 도달하여 광자가 전자 및 정공을 제공하는 역할을 수행할 수 있도록 하는 것과, 릿지부(41)에는 캐리어가 풍부하게 존재하여 저항이 낮은 상태이므로 광자의 역할이 필요없기 때문이다. 상기 도전층(4)의 두께는 100nm ~ 1um정도의 두께이면 캐리어를 제공하는 기능을 수행할 수 있으나, 이에 한정될 필요는 없다.
- [0030] 상기 릿지부(41)의 길이(Lw)는 광전도 반도체 스위치의 두 전극사이의 거리 (d)에 비해 매우 짧은 길이를 가진다. 일 예로서, 상기 전극사이의 거리(d)는 0.1mm ~ 5mm정도이고, 릿지부(41)의 길이(Lw)는 10um ~ 0.1mm정도이면 충분한 기능을 수행할 수 있다. 다른 방식으로 정의하면 전극사이의 거리(d)는 릿지부의 길이(Lw)의 대략 10 ~ 500배 정도의 비율로 제공될 수 있다.
- [0031] 상기되는 설명에서 볼 수 있는 바와 같이 릿지부(41)를 가지는 도전층(4)에 따르면, 상기 전극(5)의 바로 밑 또는 가장자리에서는 입사광이 미치지 않더라도 낮은 저항을 유지하고, 따라서 금속으로 제공되는 전극(5)의 근처에 형성이 되는 고저항 영역을 제거할 수 있어 광전도 반도체 스위치의 항복전압을 높일 수 있다. 이는 고출력 및 고전압이 인가되는 광전도 반도체 스위치에 적용되어 다양한 사용처에 사용할 수 있는 것이 된다.
- [0032] 상기 도전층(4)은, p형 또는 n형으로 도핑되어 있으므로, 오믹금속과의 오믹접촉의 형성도 용이하므로 광전도 반도체 스위치 소자의 특성향상에도 도움이 될 수 있다.
- [0033] 상기 기관(1)의 상측에는 버퍼층(2)이 제공될 수 있다. 상기 버퍼층(2)은 기관(1)의 보호와, 결함이 없는 결정 성장을 위하여 제공될 수 있다. 상기 버퍼층(2)으로는 undoped GaAs가 사용될 수 있다.
- [0034] 상기 버퍼층(2)과 상기 도전층(4)의 사이에는 에치스탑층(3)이 제공될 수 있다. 상기 에치스탑층(3)은 릿지부(41)를 제공하기 위하여 식각을 수행할 때, 도전층(4)만을 선택적으로 식각하기 위하여 제공될 수 있다. 즉, 기

관(1)에 버퍼층(2), 에치스탑층(3), 도전층(4), 및 전극(5)을 제공한 다음에, 도전층(4)을 식각하여 릿지부(41)를 제공할 때 도전층(4)만을 식각해 내기 위한 목적을 가진다. 상기 에치스탑층은 도전층(4)의 재질이 GaAs로 제공되어 버퍼층 및 기판층과 식각비가 유사한 경우에 적용될 수 있는 것으로서, 도전층(4)의 재질로 GaAs가 사용될 때 상기 에치스탑층(3)은 AlAs, AlGaAs, InGaP 또는 InP가 사용될 수 있다. 상기 도전층(4)이 InGaP 또는 AlGaAs로 제공될 때에는 식각비가 다르기 때문에, 상기 에치스탑층(3)은 제공되지 않을 수 있다.

[0035] 상기 버퍼층(2) 및 상기 에치스탑층(3)은 필수적으로 제공되지 않는다. 그러나, 공정의 편의, 성능향상, 및 수율상승을 위하여 제공되는 것이 더 바람직한 것은 물론이다.

[0036] 한편, 상기되는 실시예의 설명에서 입사광은 도면을 기준으로 상측, 즉, 전극이 제공되어 있는 상면으로 조사되는 것으로 되어 있다. 그러나, 하측, 즉 반도체 기판(1)이 제공되는 하면으로 조사되는 것이 더 바람직하다. 이는 전극은 상기 입사광을 반사하는 성질이 있기 때문에, 전극(5)의 하측에 위치하는 반도체 기판(1)은 전자 및 정공의 형성에 도움이 되지 않기 때문이다. 다시 말하면, 상면으로 입사광이 조사될 때에는 금속으로 제공되는 전극(5)에 의해서 입사광이 반사되기 때문에, 전극(5) 및 반도체 기판(1)에는 입사광이 닿지 못하고, 따라서, 전자 및 정공의 형성의 작용을 하지 못하고 광손실로 이어지는 것이다. 따라서 하면으로 입사광이 조사되도록 하여 전극(5)에 의해서 반사되는 입사광이 없고, 비록 반사되더라도 반도체 기판(1)으로 입사되도록 하여 다시 전자 및 정공의 발생에 도움이 되도록 함으로써, 입사광을 충분히 사용할 수 있도록 하는 것이 더 바람직한 것이다. 이로써 입사광의 효율을 높일 수 있을 뿐만 아니고, 전극(5) 바로 밑에서의 저항을 낮추어서 높은 출력전압을 구현할 수 있다.

[0037] 또한, 상기 입사광은 상기 전극(5) 사이에 위치하는 반도체 기판(1)만이 아니고, 전극(5)이 위치하는 부분과 릿지부(41)가 위치하는 부분에 대해서도 조사되도록 하는 것이 바람직하다. 이 경우에는 입사광이 레이저 인 경우에, 광전도 반도체 스위치에서 생성되는 전류펄스 및 전압펄스가 가장 폭이 좁고 크기가 크게 제공될 수 있다. 이로써 전극(5) 바로 밑에서의 저항을 낮출 수 있고, 높은 출력전압을 구현할 수 있다.

[0038] 도 3은 실시예에 따른 광전도 반도체 스위치의 제조방법을 설명하는 흐름도이다.

[0039] 도 3을 참조하면, 상기 광전도 반도체 스위치는 크게 나누면, 소자를 이루는 각 막을 성장하는 공정(S1), 릿지부(41)를 제공하는 릿지제공공정(S2), 및 스위치소자를 후처리하는 후가공공정(S3)이 포함된다.

[0040] 먼저, 상기 성막공정(S1)은 다음과 같은 과정으로 진행된다. 반절연(Semi insulating) GaAs기판(1)을 제공한 다음에, 그 반절연 기판 상에 undoped GaAs를 버퍼층(2)으로 성장한다(S11). 상기 버퍼층은 그 상측에 제공되는 도전층(4) 등의 용이한 성장 및 기판(1)의 표면을 보호하기 위하여 제공될 수 있다. 상기 버퍼층(2) 상에 에치스탑층(3)을 성장시킬 수 있다(S12). 상기 에치스탑층(3)은 상기 도전층(4)이 상기 버퍼층(2) 및 상기 기판(1)과 유사한 식각비를 가지는 경우에 릿지부(41)의 가공을 위하여 제공되는 것이다. 예를 들어, 상기 도전층(4)으로 n형 GaAs가 적용될 때, 상기 에치스탑층(3)으로는 AlAs, AlGaAs, InGaP 또는 InP를 사용할 수 있다.

[0041] 상기 버퍼층(2) 및 상기 에치스탑층(3)은 제공되지 아니할 수도 있다.

[0042] 그 다음에, n형 또는 p형으로 도핑되는 상기 도전층(4)을 100nm ~ 1μm로 성장한다(S13). 성장시에는 MBE또는 MOCVD로 성장시킬 수 있다. 상기 도전층(4)은 InGaP, AlGaAs, 및 GaAs 중에서 선택되는 재질이 사용될 수 있다. 이 때 상기 도전층(4)은 상기 버퍼층(2)의 5 ~ 10배로 성장시킬 수 있다.

[0043] 그 다음에, 오믹접촉을 제공하는 다층구조의 금속을 전극(5)으로서 제공한다. 다층구조로는 n형 반도체 위에는 AuGe/Ni/Au, 또는 Pd/Ni/Au 등의 다양한 재질이 사용될 수 있고 p형 반도체 위에는 Au/Zn/Au, Pd/Mn/Sb/Au, 또는 Ni/Mg/Au 등이 사용될 수 있다. 상기 전극(5)은 증착(evaporation) 또는 스퍼터링(sputtering) 등의 방법이 사용될 수 있고, 리프트오프(Lift off) 또는 식각공정에 의해서 전극(5)의 형상을 제공할 때에는, 도 1에서 볼 수 있는 바와 같이 꼭지점이 둥글게 형성된 전극의 모양을 형성한다. 이와 같은 구성에 의하면 가장자리의 특정 지점에서 전하가 집중되는 문제점을 완화시킬 수 있다.

[0044] 상기 릿지제공공정(S2)은, 전극(5)보다 더 큰 크기를 가지는 릿지부(41)의 모양으로 리소그래피(lithography)를 시행하고, 이를 식각 마스크로 사용하여 마주보는 두 개의 릿지부(41)의 사이에 위치하는 n형 또는 p형으로 도핑이 되어 있는 GaAs, InGaP 및 AlGaAs층 중에서 선택되는 재질의 도전층(4)을 식각을 통해 제거한다.

[0045] 이때, 도전층(4)이 InGaP 또는 AlGaAs물질로 제공되는 경우에는 버퍼층(2) 및 기판(1)에 제공되는 GaAs와 식각비가 매우 크기 때문에 별도의 에치스탑층(3)이 없이도 선택적으로 제거할 수 있다. 그러나, 알루미늄의 함량이 낮은 $Al_xGa_{1-x}As(x < 0.3)$ 또는 GaAs의 경우 선택적 식각이 어려우므로, AlAs, InGaP, 알루미늄 함량이 매우 높은

$Al_xGa_{1-x}As(x>0.6)$ 또는 InP로 제공되는 에치스탑층(3)을 제공하여 그 위까지 습식 또는 건식식각방법을 사용하여 릿지부(41)를 제공할 수 있다.

[0046] 상기 후가공공정(S3)에서는, 먼저, 상기 에치스탑층(3)을 제거하는 식각용액 또는 식각용 화학물질을 사용하여 마주보는 릿지부(41) 사이의 에치스탑층(3)을 제거한다(S31). 이후에 버퍼층(2)을 부분적으로 또는 전체적으로 식각하여 제거한다(S32). 상기 버퍼층(2)이 매우 낮은 농도의 언도핑 레벨(예를 들어, $10^{15}/cm^3$)인 경우에는, 버퍼층(2)을 제거하지 않아도 무방할 수 있다.

[0047] 이후에는 보호막을 형성한다(S33). 상기 보호막으로는 SiN_x , SiO_2 등과 같은 유전체를 증착하는 것으로서 수행할 수 있다. 이 때 보호막(passivation layer)은 광학여기(optical excitation)를 위한 레이저 파장의 1/4정도에 해당하는 두께로 증착할 수 있다. 이 경우에는 보호막의 기능뿐만 아니라, 무반사막(anti-reflection layer)의 역할도 함께 수행할 수 있다.

[0048] 상기 보호막 형성공정(S33)의 다음에는, 상기 전극(5)의 윗 부분에 위치한 보호막을 부분적으로 노출하여, 상기 전극(5)이 외부와 전기적으로 연결될 수 있도록 한다(S34).

[0049] 본 발명의 제조방법에는 다른 실시예를 더 포함할 수 있다. 예를 들어, 버퍼층이 제공되지 않는 경우에도 광전도 반도체 스위치를 제조할 수 있고, 에치스탑층이 제공되지 않는 경우에도 그 역할을 수행할 수 있다.

[0050] 도 4는 다른 실시예에 따른 광전도 반도체 스위치의 단면도이다. 도 4에 제시되는 실시예는 도 1내지 도 3에 제시되는 실시예를 바탕으로 하고, 전극 등의 구조물을 반도체 기판(1)의 양면에 제공하는 것이 특징적으로 달라진다. 따라서 구조, 작용, 및 제조방법에 대하여 구체적인 설명이 없는 부분은 도 1내지 도 3의 설명이 그대로 적용되는 것으로 한다.

[0051] 도 4를 참조하면, 다른 실시예에 따른 광전도 반도체 스위치에는, 반도체 기판(1)과 버퍼층(21)(22)과 도전층(42)(46)이 제공된다. 상기 도전층(42)(46)에는 전극이 제공된다. 구체적으로 상기 전극에는, 상기 반도체 기판(1)을 기준으로 할 때 상측에 서로 이격되게 제공되는 제 1 전극(101) 및 제 2 전극(102)과, 상기 반도체 기판(1)의 하측에 제공되는 제 3 전극(103) 및 제 4 전극(104)이 포함된다.

[0052] 상기 다른 실시예에서는, 상기 에치스탑층(3)이 없는 형태로 제시하였으나 필요한 경우에는 제공될 수 있는 것이 제외하는 것은 아니다. 상기 반도체 기판(1)과 버퍼층(21)(22)과 도전층(42)(46)에 대해서는 원 실시예의 설명이 그대로 적용될 수 있다. 특히, 상기 도전층(42)(46)은 n형 또는 p형으로 도핑되어 있을 수 있다.

[0053] 다른 실시예에 따른 상기 광전도 반도체 스위치를 사용할 때에는, 상측에 있는 하나의 전극과 하측에 있는 하나의 전극을 쌍(예를 들어, 전극 1과 전극 4를 쌍으로 사용하거나 전극 2와 전극 3을 쌍을 사용하는 경우)으로 하여 사용할 수 있다. 이는 사용하는 두 전극 사이에 형성되는 전기장, 특히 각 전극의 가장자리에 형성되는 전기장이, 상측에 있는 하나의 전극과 하측에 있는 하나의 전극을 쌍으로 사용하는 경우에 줄어들고, 따라서 광전도 반도체 스위치의 열화현상을 더 줄일 수 있는 장점이 있기 때문이다. 물론, 어느 한 전극을 사용하다가 열화가 발생하였을 때에는, 사용하는 전극의 쌍을 바꾸거나, 반도체 기판을 중심으로 상하를 뒤집으면 재사용하는 것이 가능한 장점을 얻을 수도 있다.

산업상 이용가능성

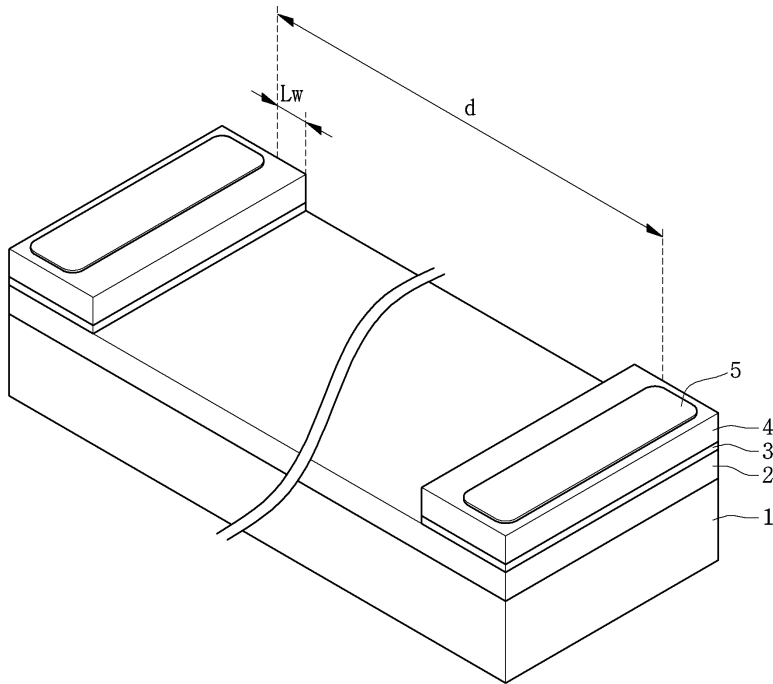
[0054] 본 발명에 따라서 제공되는 광전도 반도체 스위치는, 고전압 및 고출력에서도 사용할 수 있다. 따라서, 광전도 반도체 스위치의 사용처에 대한 스펙트럼을 더 넓게 할 수 있고, 그 사용에 대한 신뢰성을 높일 수 있다.

부호의 설명

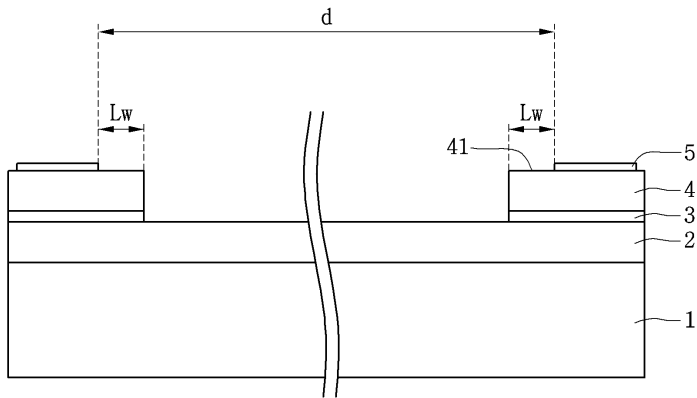
- [0055] 1: 반도체 기판
- 4: 도전층
- 41: 릿지부
- 5: 전극

도면

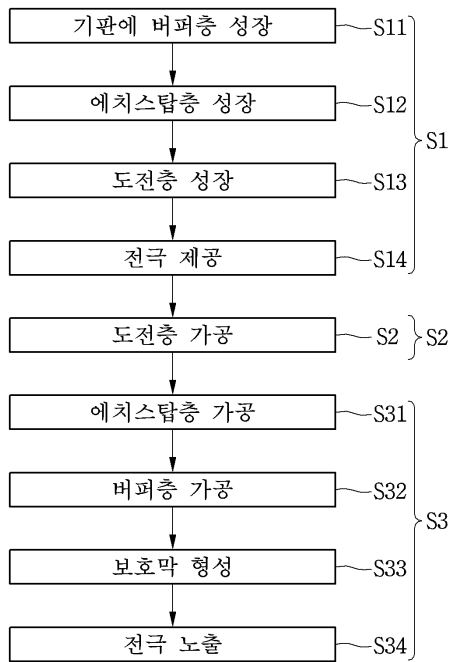
도면1



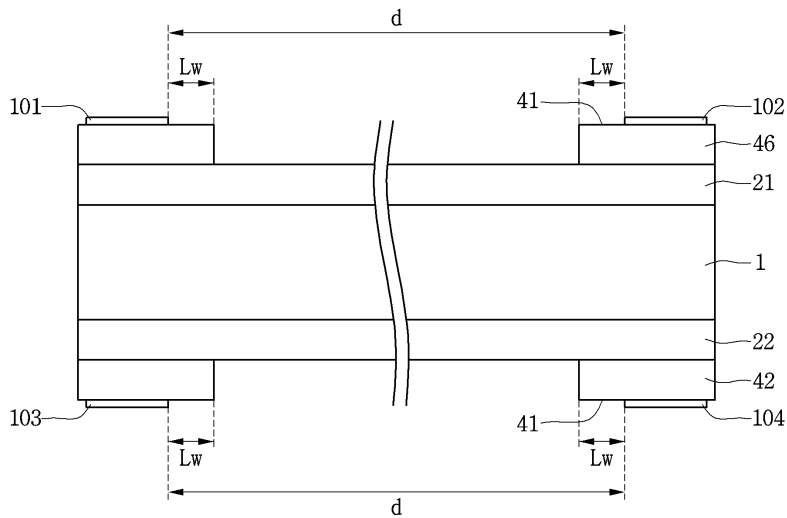
도면2



도면3



도면4



도면5

