



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0125871
(43) 공개일자 2013년11월20일

(51) 국제특허분류(Int. Cl.)
H01L 33/36 (2010.01) H01L 33/44 (2010.01)
(21) 출원번호 10-2012-0049443
(22) 출원일자 2012년05월10일
심사청구일자 없음

(71) 출원인
광주과학기술원
광주광역시 북구 첨단과기로 123 (오룡동)
(72) 발명자
박성주
광주광역시 북구 첨단과기로 261(오룡동) 광주과학기술원 신소재공학과
김재준
광주광역시 북구 첨단과기로 261(오룡동) 광주과학기술원 나노바이오재료전자공학과
강장원
광주광역시 북구 첨단과기로 261(오룡동) 광주과학기술원 신소재공학과
(74) 대리인
특허법인이상

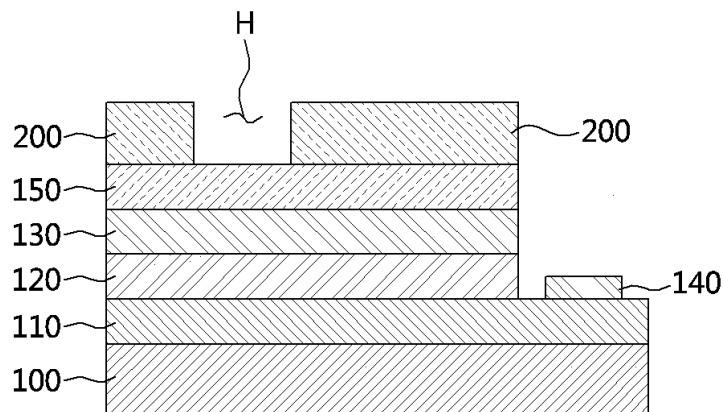
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 자성층을 구비한 플립칩형 발광소자 및 그 제조방법

(57) 요약

자성층을 구비한 플립칩형 발광소자 및 그 제조방법을 제공한다. 플립칩형 발광소자는 투광성 기관 상에 순차 배치된 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층; 제1 도전형 반도체층 및 제2 도전형 반도체층 상에 각각 배치된 제1 전극 및 제2 전극; 및 제2 전극 상에 배치된 자성층을 포함하고, 제1 전극 및 제2 전극으로 직접 주입되는 전류에 의해 활성층에서 방출되는 광이 투광성 기관을 통해 출사되는 구조를 갖는다. 이에 따르면, 활성층에서 전자와 정공의 재결합 효율을 향상시킬 수 있으며, 외부에서 인가되는 전류는 자성층을 경유하지 않고 직접 전극으로 주입되므로 자기저항에 의한 옴릭 특성 저하를 방지하고, 소자의 직렬저항을 감소시킬 수 있다.

대표도 - 도1d



특허청구의 범위

청구항 1

투광성 기관;

상기 투광성 기관 상에 배치된 제1 도전형 반도체층;

상기 제1 도전형 반도체층 상에 상기 제1 도전형 반도체층의 일부가 노출되도록 순차 배치된 활성층 및 제2 도전형 반도체층;

상기 제1 도전형 반도체층의 노출된 부분 및 상기 제2 도전형 반도체층 상에 각각 배치된 제1 전극 및 제2 전극; 및

상기 제2 전극 상에 상기 제2 전극의 일부가 노출되도록 배치된 자성층을 포함하고,

상기 제1 전극 및 상기 제2 전극으로 직접 주입되는 전류에 의해 상기 활성층에서 방출되는 광이 상기 투광성 기관을 통해 출사되는 플립칩형 발광소자.

청구항 2

제1항에 있어서,

상기 제2 전극은 상기 자성층에 형성된 콘택홀을 통해 노출되는 플립칩형 발광소자.

청구항 3

제1항에 있어서,

상기 자성층은 상기 투광성 기관에 수직 또는 수평한 자화 방향을 갖는 플립칩형 발광소자.

청구항 4

제1항에 있어서,

상기 자성층은 Co, Fe, Ni, Nd 및 이들의 2 이상의 합금 중에서 중 적어도 어느 하나의 강자성 물질을 포함하는 것인 플립칩형 발광소자.

청구항 5

제1항에 있어서,

상기 제2 전극은 반사형 오믹 전극인 플립칩형 발광소자.

청구항 6

제5항에 있어서,

상기 반사형 오믹 전극은 Ag, Al, Rh 및 이들의 2 이상의 합금 중 적어도 하나의 금속을 포함하는 플립칩형 발광소자.

청구항 7

제1항에 있어서,

상기 제1 및 제2 전극은 각각 제1 및 제2 도전성 범프에 의해 서브마운트 기관에 전기적으로 접속되는 플립칩형 발광소자.

청구항 8

제1항에 있어서,

상기 제1 도전형 반도체층 및 상기 제2 도전형 반도체층 중 적어도 하나는 자성 물질을 포함하는 플립칩형 발광

소자.

청구항 9

제8항에 있어서,

상기 자성 물질은 상기 기판에 수직 또는 수평한 자화 방향을 갖는 플립칩형 발광소자.

청구항 10

투광성 기판 상에 제1 도전형 반도체층을 형성하는 단계;

상기 제1 도전형 반도체층 상에 상기 제1 도전형 반도체층의 일부가 노출되도록 활성층 및 제2 도전형 반도체층을 순차 형성하는 단계;

상기 제1 도전형 반도체층의 노출된 부분 및 상기 제2 도전형 반도체층 상에 각각 제1 전극 및 제2 전극을 형성하는 단계; 및

상기 제2 전극 상에 상기 제2 전극의 일부가 노출되도록 자성층을 형성하는 단계를 포함하는 플립칩형 발광소자 제조방법.

청구항 11

제10항에 있어서, 상기 자성층을 형성하는 단계는,

상기 제2 전극 상에 제2 전극의 상면을 덮도록 자성박막을 증착한 후, 상기 자성박막에 콘택홀을 형성하는 단계를 포함하는 플립칩형 발광소자 제조방법.

청구항 12

제11항에 있어서,

상기 콘택홀을 형성하는 단계는 습식 식각에 의해 수행하는 플립칩형 발광소자 제조방법.

청구항 13

제10항에 있어서, 상기 자성층을 형성하는 단계는,

상기 투광성 기판에 수직 또는 수평한 방향으로 외부 자기장을 인가하여 상기 자성층을 자화 열처리하는 단계를 포함하는 플립칩형 발광소자 제조방법.

청구항 14

제10항에 있어서,

상기 제1 도전형 반도체층 및 상기 제2 도전형 반도체층 중 적어도 한 층을 형성하는 단계에서 자성 물질을 첨가하는 단계를 더 포함하는 플립칩형 발광소자 제조방법.

명세서

기술분야

[0001] 본 발명은 발광소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 활성층 내부로 자기장을 인가하는 자성층을 구비한 플립칩형 발광소자 및 그 제조방법에 관한 것이다.

배경기술

[0002] 발광소자는 p-n 접합 반도체의 특성을 이용하여 외부에서 인가된 전류에 의해 빛을 방출하는 소자로서, 낮은 소비전력, 긴 수명, 소형 경량화 및 친환경성 등의 장점을 바탕으로 각종 표시장치, 백라이트 광원 및 조명 등에 이상적인 발광원으로 주목받고 있다.

[0003] 이러한 발광소자는 일반적으로 유기금속화합물 증착법 등과 같은 증착 공정을 이용하여 기판에 수직인 방향으로 다층의 박막물질층(도핑된 반도체층 및 활성층을 포함)을 형성함으로써 제조된다. 또한 소자 내에 인가되는 전류

의 방향은 상기 박막물질의 결정축 (001)방향과 같이 기판에 수직인 방향을 갖는다. 그러나 이러한 경우 전자에 비해 정공의 이동도(mobility)가 상대적으로 낮으므로 활성층에서 전자와 정공의 효과적인 재결합이 이루어지지 못하며, 결과적으로 발광소자가 나타내는 광 효율은 제한적일 수밖에 없다.

[0004] 이러한 문제를 개선하기 위한 노력의 일환으로 발광소자 내부에 전자차단층(electron blocking layer, EBL)을 삽입하거나 표면플라즈몬 공명현상을 이용하여 내부 양자효율을 개선하려는 등의 노력을 하고 있다. 그러나 이러한 방법들에 비하여 보다 간단하고 저렴한 비용으로 발광소자의 내부 양자효율을 효과적으로 증가시킬 필요가 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 한국공개특허 제10-2010-0092116호

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 기술적 과제는 소자 내에 자성층을 구비하는 발광효율이 향상된 플립칩형 발광소자 및 그 제조방법을 제공함에 있다.

과제의 해결 수단

[0007] 상기 기술적 과제를 해결하기 위하여 본 발명의 일 측면은 자성층을 구비한 플립칩형 발광소자를 제공한다.

[0008] 상기 발광소자는 투광성 기판; 상기 투광성 기판 상에 배치된 제1 도전형 반도체층; 상기 제1 도전형 반도체층 상에 상기 제1 도전형 반도체층의 일부가 노출되도록 순차 배치된 활성층 및 제2 도전형 반도체층; 상기 제1 도전형 반도체층의 노출된 부분 및 상기 제2 도전형 반도체층 상에 각각 배치된 제1 전극 및 제2 전극; 및 상기 제2 전극 상에 상기 제2 전극의 일부가 노출되도록 배치된 자성층을 포함하고, 상기 제1 전극 및 상기 제2 전극으로 직접 주입되는 전류에 의해 상기 활성층에서 방출되는 광이 상기 투광성 기판을 통해 출사되는 구조를 가진다.

[0009] 상기 제2 전극은 상기 자성층에 형성된 콘택홀을 통해 노출될 수 있다. 상기 제2 전극은 반사형 오믹 전극일 수 있으며, Ag, Al, Rh 및 이들의 2 이상의 합금 중 적어도 하나의 금속을 포함할 수 있다.

[0010] 상기 자성층은 상기 투광성 기판에 수직 또는 수평한 자화 방향을 가질 수 있으며, Co, Fe, Ni, Nd 및 이들의 2 이상의 합금 중에서 중 적어도 어느 하나의 강자성 물질을 포함할 수 있다.

[0011] 상기 제1 및 제2 전극은 각각 제1 및 제2 도전성 범프에 의해 서브마운트 기판에 전기적으로 접속될 수 있다.

[0012] 한편, 상기 제1 도전형 반도체층 및 상기 제2 도전형 반도체층 중 적어도 하나는 자성 물질을 포함할 수 있으며, 상기 자성 물질은 상기 기판에 수직 또는 수평한 자화 방향을 가질 수 있다.

[0013] 상기 기술적 과제를 해결하기 위하여 본 발명의 다른 측면은 자성층을 구비한 플립칩형 발광소자의 제조방법을 제공한다.

[0014] 상기 방법은 투광성 기판 상에 제1 도전형 반도체층을 형성하는 단계; 상기 제1 도전형 반도체층 상에 상기 제1 도전형 반도체층의 일부가 노출되도록 활성층 및 제2 도전형 반도체층을 순차 형성하는 단계; 상기 제1 도전형 반도체층의 노출된 부분 및 상기 제2 도전형 반도체층 상에 각각 제1 전극 및 제2 전극을 형성하는 단계; 및 상기 제2 전극 상에 상기 제2 전극의 일부가 노출되도록 자성층을 형성하는 단계를 포함한다.

[0015] 상기 자성층을 형성하는 단계는 상기 제2 전극 상에 제2 전극의 상면을 덮도록 자성박막을 증착한 후, 상기 자성박막에 콘택홀을 형성하는 단계를 포함할 수 있으며, 상기 콘택홀을 형성하는 단계는 습식 식각에 의해 수행할 수 있다.

[0016] 또한, 상기 자성층을 형성하는 단계는 상기 투광성 기판에 수직 또는 수평한 방향으로 외부 자기장을 인가하여 상기 자성층을 자화 열처리하는 단계를 포함할 수 있다.

[0017] 한편, 상기 방법은 상기 제1 도전형 반도체층 및 상기 제2 도전형 반도체층 중 적어도 한 층을 형성하는 단계에서 자성 물질을 첨가하는 단계를 더 포함할 수 있다.

발명의 효과

[0018] 상술한 바와 같이 본 발명에 따르면, 발광소자의 전극 상에 자성층을 형성함으로써 활성층에서 전자와 정공의 재결합 효율을 향상시킬 수 있다. 또한, 외부에서 인가되는 전류는 자성층을 경유하지 않고 직접 전극으로 주입되므로 자기저항에 의한 옴릭 특성 저하를 방지하고, 소자의 직렬저항을 감소시킬 수 있다. 또한, 자성층에 형성된 콘택홀을 이용하여 플립칩 본딩에 사용되는 도전성 범프를 용이하게 형성할 수 있는 장점이 있다.

[0019] 다만, 본 발명의 효과들은 이상에서 언급한 효과로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0020] 도 1a 내지 1d는 본 발명의 일 실시예에 따른 플립칩형 발광소자의 제조방법을 설명하기 위한 단면도들이다.
 도 2a 및 2b는 자성층에 콘택홀을 형성하는 과정을 설명하기 위한 단면도들이다.
 도 3은 발광 구조체에 자기장(B)이 인가된 경우 전자(e)와 정공(h)의 이동 경로를 개략적으로 나타낸 것이다.
 도 4는 본 발명에 따른 플립칩형 발광소자가 도전성 패드가 형성된 서브마운트 기판에 실장된 모습을 개략적으로 나타낸 단면도이다.
 도 5는 실험예 1, 비교예 1 및 비교예 2에 따라 제조된 발광소자의 광 출력 특성을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 그러나, 본 발명은 여기서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수 있으며, 본 발명의 사상 및 기술 범위에 포함되는 모든 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0022] 본 명세서에서 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나, 그들 사이에 제3의 층이 개재될 수도 있다. 또한, 본 명세서에서 위쪽, 상(부), 상면 등의 방향적인 표현은 그 기준에 따라 아래쪽, 하(부), 하면 등의 의미로 이해될 수 있다. 즉, 공간적인 방향의 표현은 상대적인 방향으로 이해되어야 하며 절대적인 방향을 의미하는 것으로 한정 해석되어서는 안된다. 또한, "제1", "제2" 또는 "제3" 등의 용어는 구성요소들에 어떠한 한정을 가하려는 것이 아니라, 구성요소들을 구별하기 위해 사용되는 것으로 이해되어야 할 것이다.

[0023] 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장 또는 축소된 것일 수 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[0024] 또한, 하기에서 본 발명을 설명함에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 것이다.

[0025] 도 1a 내지 1d는 본 발명의 일 실시예에 따른 플립칩형 발광소자의 제조방법을 설명하기 위한 단면도들이다.

[0026] 도 1a를 참조하면, 투광성 기판(100) 상에 순차 배치된 제1 도전형 반도체층(110), 활성층(120) 및 제2 도전형 반도체층(130)을 형성한다.

[0027] 상기 투광성 기판(100)은 발광소자를 제조하거나 제조된 발광소자를 지지하는 기초가 되는 구조체로서, 적어도 가시광 영역에서 광 투과가 가능한 물질로 이루어질 수 있다. 상기 투광성 기판(100)은 사파이어 기판, ZnO 기판, GaN 기판, SiC 기판, LiAl₂O₃ 기판 등일 수 있으며, 바람직하게는 사파이어 기판일 수 있다.

[0028] 상기 제1 도전형 반도체층(110) 및 상기 제2 도전형 반도체층(130)은 각각 p형 및 n형으로(또는 그 반대로) 도핑된 III-V족 화합물 반도체 또는 II-VI족 화합물 반도체를 포함할 수 있다. 상기 III-V족 화합물 반도체는 GaN, Al_xGa_{1-x}N (0 ≤ x ≤ 1) 또는 Al_xIn_yGa_zN (x+y+z=1, 0 ≤ x, y, z ≤ 1)일 수 있으며, 상기 II-VI족 화합물 반도체

는 ZnO 또는 $Mg_xZn_yCd_zO$ ($x+y+z=1$, $0 \leq x, y, z \leq 1$)일 수 있다. 다만, 이에 제한되는 것은 아니다.

- [0029] 한편, 투광성 기판(100) 상에 제1 도전형 반도체층(110)을 에피 성장(epitaxial growth)시키는 경우, 투광성 기판(100)과 제1 도전형 반도체층(110)의 격자 상수의 차이에 따른 격자 부정합을 최소화하기 위하여, 제1 도전형 반도체층(110)을 성장시키기 전에 버퍼층(미도시)을 먼저 성장시킬 수 있다. 예를 들어, 투광성 기판(100)인 사파이어 기판 상에 제1 도전형 반도체층(110)으로 p형 GaN층을 형성하는 경우, 사파이어 기판과 p형 GaN층 사이에 비도핑(undoped) GaN층을 소정의 두께로 형성하여 결합 밀도를 감소시킬 수 있다.
- [0030] 상기 활성층(120)은 제1 및 제2 도전형 반도체층들(110, 130)로부터 주입된 전자와 정공이 결합되어 빛이 생성되는 영역으로서, 양자점(quantum dot) 구조 또는 다중양자우물(multiple quantum well, MQW) 구조를 가질 수 있다. 상기 활성층(120)이 다중양자우물 구조를 갖는 경우, 우물층 및 장벽층은 각각 InGaN 및 GaN을 포함할 수 있다. 다만, 이에 제한되는 것은 아니며, 요구되는 발광과장에 따라 다양한 물질들을 사용할 수 있다.
- [0031] 상기 도전형 반도체층들(110, 130) 및 상기 활성층(120)은 유기금속화학증착법(MOCVD), 분자선에피택시법(MBE), 수소화물 기상 성장법(HVPE) 등 공지된 다양한 증착 및 성장 방법을 이용하여 형성할 수 있다.
- [0032] 본 실시예에서 상기 활성층(120) 및 상기 제2 도전형 반도체층(130)은 상기 제1 도전형 반도체층(110) 상에서 제1 도전형 반도체층(110)의 일부가 노출되도록 형성된다. 예를 들어, 제1 도전형 반도체층(110) 상에 활성층(120) 및 제2 도전형 반도체층(130)을 순차로 성장시킨 후, 제2 도전형 반도체층(130) 및 활성층(120)을 메사 식각(mesa etching)하여 제1 도전형 반도체층(110)의 일부가 드러나도록 할 수 있다. 이때, 제1 도전형 반도체층(110)의 확실한 노출을 위해 제1 도전형 반도체층(110)의 상부까지 더 식각할 수도 있다.
- [0033] 도 1b를 참조하면, 상기 제2 도전형 반도체층(130) 상에 제2 전극(150)을 형성한다. 상기 제2 전극(150)은 제2 도전형 반도체층(130)과 오믹 접촉을 형성하는 동시에 높은 반사율을 갖는 물질로 이루어지는 것이 바람직하다. 상기 제2 전극(150)을 반사형 오믹 전극으로 형성함으로써 전류의 주입을 용이하게 할 수 있으며, 활성층(120)에서 생성되는 광을 투광성 기판(100) 방향으로 반사시킬 수 있으므로 광 추출 효율을 향상시킬 수 있다.
- [0034] 상기 제2 전극(150)은 예를 들어, Ni, Ag, Au, Al, Rh 및 이들의 2 이상의 합금 중 적어도 하나의 금속을 포함할 수 있다. 또한, 제2 전극(150)은 각 층이 서로 다른 물질 또는 조성을 포함하는 다층 구조로 이루어질 수 있다. 일 예로, 제2 전극(150)은 Ni/Ag가 순차적으로 적층된 구조를 포함하는 반사형 오믹 전극일 수 있다.
- [0035] 상기 제2 전극(150) 상에는 제2 전극(150)의 일부가 노출되도록 자성층(200)을 형성한다. 상기 자성층(200)은 제2 전극(150)보다 작은 너비(투광성 기판(100)에 평행한 방향으로 측정된 길이)를 갖는 박막형태로 형성되어 제2 전극(150)의 일부를 노출시키거나, 도 1c에 도시된 바와 같이 자성층(200)에 형성된 콘택홀(H)을 통해 제2 전극(150)의 일부를 노출시킬 수 있다. 본 실시예에서는 자성층(200)에 콘택홀(H)을 형성한 경우를 기준으로 설명한다.
- [0036] 상기 콘택홀(H)은 도 2a 및 2b에 도시된 바와 같이, 포토레지스트 및 포토리소그래피를 이용하여 자성박막(200') 상에 콘택홀 마스크(M)를 형성한 후(도 2a 참조), 상기 마스크(M)를 통해 자성박막(200')을 식각함으로써 형성할 수 있다(도 2b 참조). 상기 자성박막(200')을 식각하는 과정은 습식 또는 건식 식각법을 이용할 수 있으며, 바람직하게는 습식 식각을 이용할 수 있다.
- [0037] 상기 제2 전극(150)은 상기 콘택홀(H)을 통해 외부 단자와 전기적으로 접속된다. 구체적으로는, 후술하는 바와 같이 콘택홀(H)에 형성된 도전성 범프를 통해 제2 전극(150)이 서브마운트 기판에 전기적으로 연결된다. 따라서, 자성층(200)에 구비된 콘택홀(H)은 도전성 범프가 형성되는 영역을 제공할 수 있으며, 범프 재료의 확산을 방지할 수 있으므로 공정상 용이성 및 안정성을 향상시킬 수 있다.
- [0038] 다만, 상기 자성층(200)은 상술한 구조에 한정되지 아니하며, 그 하부에 위치하는 제2 전극(150)의 일부를 노출시킬 수 있다면 다른 형태의 구조로 형성되는 것을 배제하는 것이 아니다.
- [0039] 상기 자성층(200)이 형성된 소자에 자기장이 인가되는 경우 자기저항(magnetoresistance)으로 인해 소자를 구성하는 물질층들의 전기저항이 변할 수 있다. 이에 따라 오믹 특성이 저하될 수 있으므로, 만일 외부에서 인가되는 전류가 자성층(200)을 경유하여 소자 내부로 주입되는 경우에는 캐리어(전자 또는 정공)의 주입 효율이 감소하는 문제가 발생한다.
- [0040] 그러나 본 실시예에 따르면, 소정 크기로 노출된 제2 전극(150)의 부분을 외부 회로에 전기적으로 접속하고, 외부에서 인가되는 전류가 자성층(200)을 경유하지 않고 직접 소자 내부로 주입되도록 함으로써 자기저항에 의한

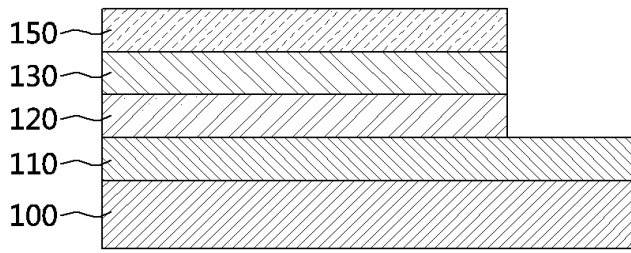
특성 저하를 방지할 수 있다. 이는 자성층(200) 및 제2 전극(150) 간의 직렬저항을 감소시킬 수 있으므로 발광 소자의 전기적 특성을 보다 향상시킬 수 있다.

- [0041] 상기 자성층(200)은 Co, Fe, Ni, Nd 및 이들의 2 이상의 합금 중 적어도 어느 하나의 강자성 물질을 포함할 수 있으나, 이에 제한되는 것은 아니다. 또한, 자성층(200)은 적어도 하나의 강자성 물질을 포함하는 다층 구조로 이루어질 수 있으며, 예를 들어, Ni/Co가 순차적으로 적층된 구조일 수 있다.
- [0042] 또한, 상기 제2 전극(150)과 상기 자성층(200) 사이에는 다른 기능층(미도시)이 단층 또는 다층 구조로 더 포함될 수 있다. 상기 기능층은 제2 전극(150)과 자성층(200)의 용이한 접착을 위한 접착층일 수 있다. 또한, 상기 기능층은 자성층(200)을 습식 식각하는 과정에서 그 하부에 위치하는 제2 전극(150)의 손상을 방지하기 위한 식각 정지층일 수 있다. 상기 접착층은 Ni, Ti 또는 Ta를 포함할 수 있으며, 상기 식각 정지층은 Au를 포함할 수 있다. 다만 이에 제한되는 것은 아니다.
- [0043] 한편, 상기 자성층(200)은 그 자화 방향이 균일한 방향성을 갖도록 정렬될 수 있다. 상기 자화 방향은 상기 투광성 기관(100)에 수직 방향이거나 수평 방향이거나 또는 소정의 각도를 갖는 방향일 수 있으며, 바람직하게는 투광성 기관(100)에 수직 또는 수평한 방향일 수 있다. 자성층(200)의 자화 방향은 소정의 조건에서 자성층(200)을 자화 열처리함으로써 형성할 수 있다. 예를 들어, 상기 제2 전극(150) 상에 자성층(200)을 형성한 후, 투광성 기관(100)에 수직(또는 수평)한 방향으로 외부 자기장을 인가한 상태에서 상기 자성층(200)을 자화 열처리함으로써, 자성층(200)의 자화 방향을 투광성 기관(100)에 수직(또는 수평)하게 정렬시킬 수 있다. 상기 열처리 온도는 상온 내지 430℃, 바람직하게는 100℃ 내지 360℃일 수 있다.
- [0044] 한편, 상기 자화 열처리는 자성층(200)을 형성한 후뿐만 아니라 자성층(200)을 형성하는 과정 중에서 일체로 수행될 수 있다. 즉, 제2 전극(150) 상에 자성 물질을 증착하는 과정에서 외부 자기장을 인가하는 경우, 자성층(200)의 형성과 동시에 자성층(200)의 자화 방향을 외부 자기장이 인가된 방향으로 정렬시킬 수 있다.
- [0045] 상기 투광성 기관(100) 상에, 예를 들어, 수직인 방향([001] 방향)으로 자기장이 인가된 경우, 소자 내로 주입된 전자 및 정공이 로렌츠 힘(Lorentz force)을 받게 되므로 캐리어(전자 또는 정공)의 이동 경로는 투광성 기관(100)에 평행한 방향으로의 국소화(localization)가 일어나게 된다. 도 3은 n형 반도체층(310), 활성층(320) 및 p형 반도체층(330)으로 이루어진 발광 구조체에 자기장(B)이 인가된 경우 전자(e)와 정공(h)의 이동 경로를 개략적으로 나타낸 것이다. 도 3에 도시된 바와 같이, 발광 구조체에 수직인 방향으로 자기장(B)이 인가되는 경우, 로렌츠 힘에 의해 활성층(320) 내 캐리어(전자 및 정공)의 진행경로가 길어지는 것을 알 수 있으며, 이는 활성층(320) 내에 캐리어가 존재할 확률을 증가시키므로 더 많은 전자(e)와 정공(h)이 활성층(320)에서 결합될 수 있다. 따라서, 전자(e)와 정공(h)이 효율적으로 재결합 발광(L)에 참여할 수 있으므로 광 효율이 향상될 수 있다.
- [0046] 도 1d를 참조하면, 제1 전극(140)은 제1 도전형 반도체층(110)의 노출된 부분에 형성된다. 상기 제1 전극(140)은 제1 도전형 반도체층(110)과 오믹 접촉을 형성하는 금속으로 이루어지는 것이 바람직하며, 예를 들어, Cr/Au가 순차적으로 적층된 구조를 포함할 수 있다. 다만, 이에 제한되는 것은 아니다.
- [0047] 한편, 본 실시예에서는 제2 전극(150) 및 자성층(140)을 형성한 후에 제1 전극(140)을 형성하는 순서로 설명하였으나, 이러한 순서는 공정상의 편의를 위해 다양하게 변경될 수 있다. 예를 들어, 제1 전극(140)을 제2 전극(150)보다 먼저 형성하거나, 제2 전극(150)을 형성한 후 자성층(200)을 형성하기 전에 제1 전극(140)을 형성할 수도 있다. 따라서, 본 발명에 있어서 어느 한 층이 다른 층과 구조적으로 연관된 것이 아니라면, 각 층들을 제조하는 순서는 임의로 변경될 수 있으며 특정 제조 순서에 제한되는 것이 아니다.
- [0048] 상술한 전극들(140, 150) 및 자성층(200)은 전자빔 증착법(e-beam evaporation), 스퍼터링법(sputtering), 열 증착법(thermal evaporation), 펄스 레이저 증착법(pulsed laser deposition), 레이저 분자빔 증착법(laser molecular beam epitaxy) 등 공지된 다양한 증착 방법을 통해 형성할 수 있다.
- [0049] 또한, 도 1d에 도시된 발광소자에서 상기 제1 도전형 반도체층(110) 및 상기 제2 도전형 반도체층(130) 중 적어도 하나는 자성 물질을 포함하는 자성 반도체층일 수 있다. 즉, 상기 자성층(200) 뿐만 아니라 제1 및 제2 도전형 반도체층(110, 130) 중 어느 하나 또는 둘 모두에 자성 물질이 포함될 수 있다. 이때, 도전형 반도체층(110, 130)에 포함된 자성 물질은 자성층(200)에 포함된 자성 물질과 같거나 다를 수 있다.
- [0050] 상기 자성 물질은 도전형 반도체층(110, 130)을 형성하는 단계에서 첨가될 수 있다. 예를 들어, n형 반도체층을 자성 반도체층으로 구성하는 경우, n형 반도체층을 형성하는 과정에서 n형 도펀트와 함께 자성 물질을 첨가하여 n형 반도체층을 자기적 성질을 갖는 묽은 자성 반도체(dilute magnetic semiconductor, DMS)층으로 형성

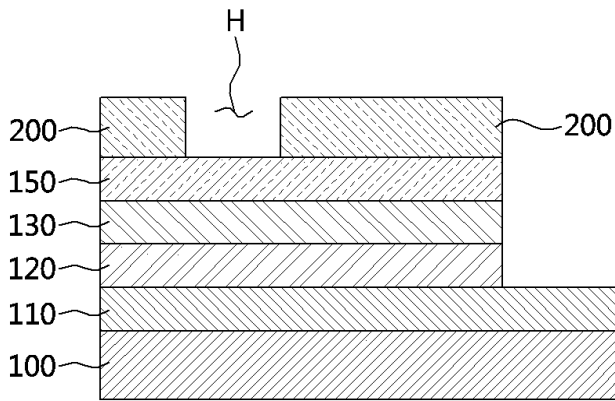
할 수 있다.

- [0051] 또한, 상기 자성 반도체층은 자성층(200)의 경우와 마찬가지로 자화 열처리를 통해 투광성 기판(100)에 소정의 자화 방향을 갖도록 정렬시킬 수 있다. 상기 자성 반도체층의 자화 방향은 자성층(200)의 자화 방향과 같거나 다를 수 있다. 다만, 바람직하게는 자성 반도체층은 자성층(200)과 동일한 자화 방향을 가질 수 있으며, 보다 바람직하게는 자성 반도체층 및 자성층(200)은 모두 투광성 기판(100)에 수직 또는 수평한 자화 방향을 가질 수 있다.
- [0052] 도 4는 본 발명에 따른 발광소자가 도전성 패드가 형성된 서브마운트 기판에 실장된 모습을 개략적으로 나타낸 단면도이다.
- [0053] 도 4를 참조하면, 본 발명의 발광소자는 투광성 기판(100) 상에 순차 배치된 제1 도전형 반도체층(110), 활성층(120), 제2 도전형 반도체층(130), 제2 전극(150) 및 자성층(200)을 포함하고, 메사 구조에 의해 노출된 상기 제1 도전형 반도체층(110)의 부분에 제1 전극(140)이 배치된다.
- [0054] 상기 발광소자는 서브마운트 기판(400) 상에 플립칩 본딩에 의해 결합되며, 구체적으로는 상기 제1 및 제2 전극(140, 150)이 제1 및 제2 도전성 범프(160, 170)에 의해 서브마운트 기판(400)의 도전성 패드(420, 430)에 각각 전기적으로 접속된다.
- [0055] 상기 도전성 범프(160, 170)는 Pb, Sn, Cu, Zn, Au, Ag, Ni, Ti 및 이들의 2 이상의 합금을 포함할 수 있다. 상기 서브마운트 기판(400)은 Si 및 SiC와 같은 반도체 기판, AlN과 같은 부도체 기판 또는 금속 기판을 사용할 수 있으며, 특히 방열 특성이 우수한 물질로 이루어지는 것이 바람직하다. 상기 도전성 패드(420, 430)는 Cu, Al, Ag, W, Pt, Ti, Zn, Ni 및 이들의 2 이상의 합금을 포함할 수 있으며, 서로 다른 물질로 이루어진 다층 구조를 가질 수 있다.
- [0056] 도 4에 도시된 바와 같이, 상기 제2 도전성 범프(170)는 자성층(200)에 구비된 콘택홀을 통해 제2 전극(150)과 접촉된다. 이 경우, 상기 자성층(200)은 제2 도전성 범프(170)가 형성되는 구조적 공간을 제공할 수 있으며, 범프 재료의 확산을 방지할 수 있다.
- [0057] 상기 도전성 패드(420, 430)에서 인가된 전류는 제1 및 제2 도전성 범프(160, 170)를 통해 각각 제1 및 제2 도전형 반도체층(110, 150)으로 주입되고, 활성층(130)에서는 전자와 정공의 재결합에 의해 발광이 일어난다. 이 과정에서 적어도 자성층(200)에 의해 형성된 자기장은 로렌츠의 힘에 의해 소자 내부의 전자 및 정공의 이동 경로가 길어지도록 변화시키며, 이에 따라 실질적으로 활성층(130) 내에 전자 및 정공이 존재할 확률을 증가시켜 발광 재결합 효율을 향상시킨다. 생성된 빛은 투광성 기판(100)을 통해 출사되며, 소자에서 발생하는 열은 도전성 범프(160, 170)를 통해 전달되어 서브마운트 기판(400)에서 방출될 수 있다.
- [0058] 이하, 본 발명의 이해를 돕기 위하여 바람직한 실험예를 제시한다. 다만, 하기의 실험예는 본 발명의 이해를 돕기 위한 것일 뿐, 본 발명이 하기의 실험예에 의해 한정되는 것은 아니다.
- [0059] <실험예 1>
- [0060] 1. 유기금속화학증착법(MOCVD)을 이용하여 양면 연마된 사파이어 기판에 비도핑 GaN층, n-GaN층, 다중양자우물층 및 p-GaN층을 순차적으로 성장시킨 후, p-GaN층 위에 포토레지스트를 이용하여 메사 패턴을 형성하고, p-GaN층에서부터 n-GaN층의 일부가 드러날 때까지 이온결합플라즈마(ICP)(식각 가스: Cl₂/H₂/CH₄/Ar)를 이용하여 메사 식각 공정을 수행하였다.
- [0061] 2. p-GaN층 위에 전자빔 증착법을 이용하여 Ni/Ag/Ni(5nm/120nm/2nm)을 순차적으로 증착한 후, O₂ 가스 유량 50 sccm 분위기에서 500℃로 1분간 급속 열처리하여 반사형 p-오믹 전극을 형성하였다.
- [0062] 3. p-오믹 전극 위에 전자빔 증착법을 이용하여 Au/Ni/Co(20nm/10nm/300nm)를 순차적으로 증착하여 자성층을 형성하였다. Co층의 일부만 드러나도록 포토레지스트를 이용하여 콘택홀 마스크를 형성하고, CR-7 식각 용액에 4초간 넣었다 빼낸 후, 탈이온수로 세정하여 자성층에 전류 콘택홀을 형성하였다. 콘택홀은 Ni/Co 층을 관통하여 형성되었으며, Au층은 CR-7 식각 용액의 식각을 멈추게 하는 식각 정지층 역할을 하였다.

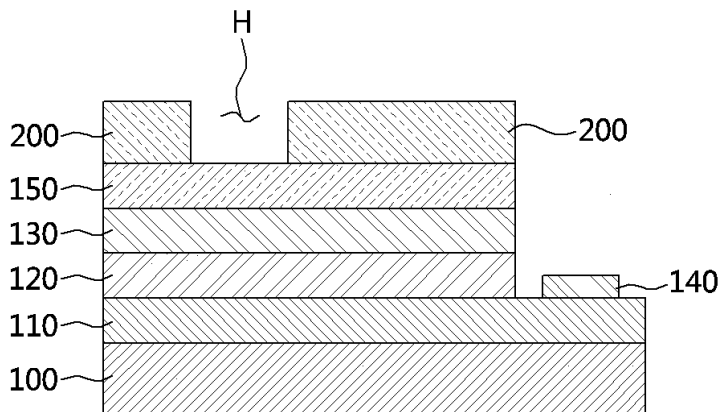
도면1b



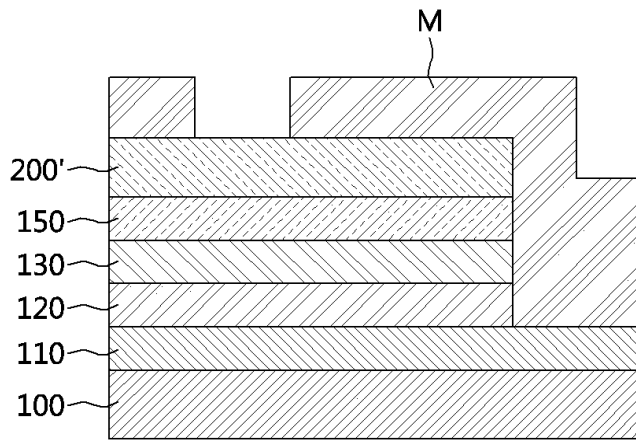
도면1c



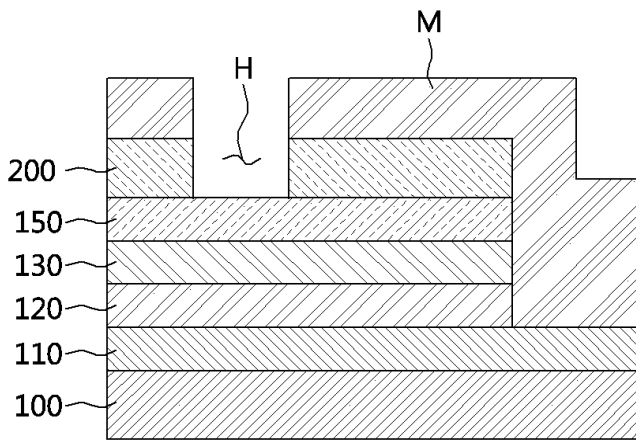
도면1d



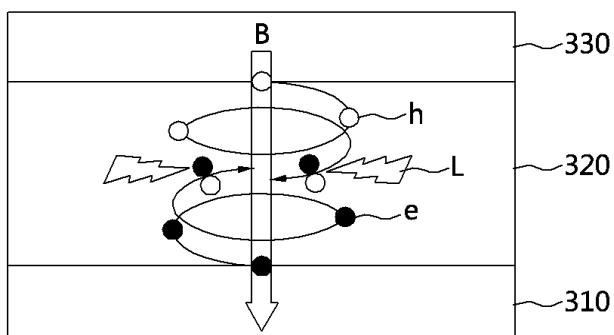
도면2a



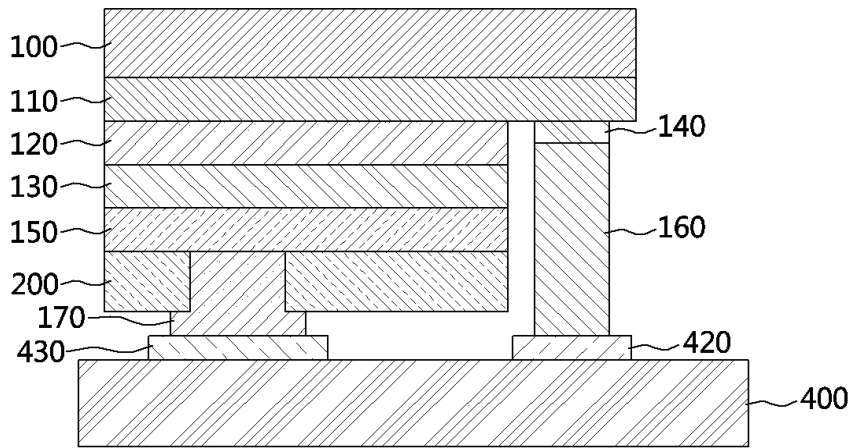
도면2b



도면3



도면4



도면5

