



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2013-0125612  
 (43) 공개일자 2013년11월19일

(51) 국제특허분류(Int. Cl.)  
*H01L 27/115* (2006.01) *H01L 21/8247* (2006.01)  
 (21) 출원번호 10-2012-0049269  
 (22) 출원일자 2012년05월09일  
 심사청구일자 없음

(71) 출원인  
**삼성전자주식회사**  
 경기도 수원시 영통구 삼성로 129 (매탄동)  
**광주과학기술원**  
 광주광역시 북구 첨단과기로 123 (오룡동)

(72) 발명자  
**김영배**  
 서울특별시 서초구 서초4동 삼풍아파트 5-109  
**황현상**  
 광주광역시 북구 오룡동 1번지 광주과학기술원 신  
 소재공학과 405호  
**김창정**  
 경기 용인시 수지구 풍덕천동 성지아파트  
 504-1102

(74) 대리인  
**리엔목특허법인**

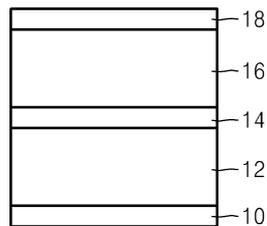
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 **하이브리드형 저항성 메모리 소자, 그 작동 방법 및 그 제조 방법**

**(57) 요약**

하이브리드형 저항성 메모리 소자, 작동 방법 및 그 제조 방법에 대해 개시된다. 개시된 하이브리드형 저항성 메모리 소자는 적어도 2개 이상의 저항성 메모리부를 포함하며, 상기 저항성 메모리부 중 적어도 하나는 장기 가소성 특성을 지니도록 형성함으로써 단기 가소성 특성 및 장기 가소성 특성을 모두 구현할 수 있다.

**대표도** - 도1



**특허청구의 범위**

**청구항 1**

적어도 2개 이상의 저항성 메모리부를 포함하며,

상기 저항성 메모리부 중 적어도 하나는 장기 가소성 특성을 지닌 저항성 메모리를 포함하는 하이브리드형 저항성 메모리 소자.

**청구항 2**

제 1항에 있어서,

상기 저항성 메모리부는 장기 가소성 메모리 특성을 지닌 저항성 메모리 및 단기 가소성 메모리 특성을 지닌 저항성 메모리를 포함하는 하이브리드형 저항성 메모리 소자.

**청구항 3**

제 2항에 있어서,

상기 단기 가소성 특성을 지닌 저항성 메모리는 전극 사이에 페로브스카이트(perovskite) 구조의 산화물을 포함하여 형성된 메모리 저항층을 포함하는 하이브리드형 저항성 메모리 소자.

**청구항 4**

제 3항에 있어서,

상기 메모리 저항층은 PrCaMnO(PCMO), CaMnO<sub>3</sub>(CMO), CaTiO<sub>3</sub>, BaTiO<sub>3</sub>, SrTiO<sub>3</sub>, KTaO<sub>3</sub>, KNbO<sub>3</sub> 또는 NaNbO<sub>3</sub> 을 포함하는 하이브리드형 저항성 메모리 소자.

**청구항 5**

제 2항에 있어서,

상기 단기 가소성 특성을 지닌 저항성 메모리는 산소 정공의 이동 또는 차지 트랩(charge trap) 등의 원리에 의해 저항 상태가 변경될 수 있는 저항성 메모리인 하이브리드형 저항성 메모리 소자.

**청구항 6**

제 1항에 있어서,

상기 저항성 메모리부는 모두 장기 가소성 특성을 지닌 저항성 메모리로 형성된 하이브리드형 저항성 메모리 소자.

**청구항 7**

제 1항에 있어서,

상기 장기 가소성 특성을 지닌 저항성 메모리는 전극 사이에 전이금속 산화물을 포함하여 형성된 메모리 저항층을 포함하는 구조인 하이브리드형 저항성 메모리 소자.

**청구항 8**

제 7항에 있어서,

상기 전이금속 산화물은 Ni 산화물, Ti 산화물, Hf 산화물, Zr 산화물, Zn 산화물, W 산화물, Co 산화물 또는 Nb 산화물로 형성된 하이브리드형 저항성 메모리 소자.

**청구항 9**

제 1항에 있어서,

상기 장기 가소성 특성을 지닌 저항성 메모리는 필라멘트 형성으로 인하여 저항 상태가 바뀌는 저항성 메모리인 하이브리드형 저항성 메모리 소자.

**청구항 10**

제 1항에 있어서,

상기 하이브리드형 저항성 메모리 소자는,

하부 전극, 하부 전극 상에 순차적으로 형성된 제 1메모리 저항층, 중간 전극, 제 2메모리 저항층 및 상부 전극을 포함하는 하이브리드형 저항성 메모리 소자.

**청구항 11**

제 10항에 있어서,

상기 하부 전극, 중간 전극 및 상부 전극은 Al, Au, Cu, Co, Zr, Zn, W, Ir, Ru, Pt, Ti, Hf 또는 TiN로 형성된 하이브리드형 저항성 메모리 소자.

**청구항 12**

제 1항에 있어서,

상기 적어도 2개 이상의 저항성 메모리부들은 직렬로 연결된 하이브리드형 저항성 메모리 소자.

**청구항 13**

적어도 2개 이상의 저항성 메모리부를 포함하며, 상기 저항성 메모리부 중 적어도 하나는 장기 가소성 특성을 지닌 저항성 메모리로 형성된 하이브리드형 저항성 메모리 소자의 작동 방법에 있어서,

전원 공급부를 통하여 상기 적어도 2개 이상의 저항성 저항성 메모리부에 인가하는 전압을 점차적으로 증가시키면서 단기 가소성 상태 및 장기 가소성 상태를 형성하는 하이브리드형 저항성 메모리 소자의 작동 방법.

**청구항 14**

제 13항에 있어서,

상기 적어도 2개 이상의 저항성 메모리부는 단기 가소성 특성을 지닌 저항성 메모리부 및 장기 가소성 특성을 지닌 저항성 메모리부를 포함하며,

상기 전원 공급부를 통하여 펄스 전압을 인가하여 순차적으로 상기 단기 가소성 특성을 지닌 저항성 메모리부의 저항을 낮추고, 상기 장기 가소성 특성을 지닌 저항성 메모리부의 저항을 낮추는 하이브리드형 저항성 메모리 소자의 작동 방법.

**청구항 15**

제 13항에 있어서,

상기 적어도 2개 이상의 저항성 메모리부는 장기 가소성 특성을 지닌 저항성 메모리부들을 포함하며,

상기 전원 공급부를 통하여 펄스 전압을 인가하여 순차적으로 상기 장기 가소성 특성을 지닌 저항성 메모리부들의 저항을 순차적으로 낮추는 하이브리드형 저항성 메모리 소자의 작동 방법.

**청구항 16**

적어도 2개 이상의 저항성 메모리부를 포함하며, 상기 저항성 메모리부 중 적어도 하나는 장기 가소성 특성을 지닌 저항성 메모리로 형성된 하이브리드형 저항성 메모리 소자의 제조 방법에 있어서,

하부 전극 상에 제 1메모리 저항층, 중간 전극, 제 2메모리 저항층 및 상부 전극을 순차적으로 형성하는 하이브리드형 저항성 메모리 소자의 제조 방법.

**명세서**

**기술분야**

[0001] 본 발명의 실시예는 하이브리드형 저항성 메모리 소자에 관한 것으로, 보다 자세하게는 둘 이상의 저항성 메모리 소자를 직렬로 연결하여 구현한 하이브리드형 저항성 메모리 소자, 그 작동 방법 및 그 제조 방법에 관한 것이다.

**배경기술**

[0002] 동물의 뇌는 무수한 정보가 입력되며 이를 처리하여 신체의 각 부위에 명령을 내리고 생명 활동을 유지한다. 이와 같이 정보를 받아들여 판단하고 명령을 내리는 중심 역할을 담당하는 것은 대뇌 반구의 표면을 둘러싸고 있는 대뇌 피질이다. 대뇌 피질은 수많은 신경 세포, 즉 뉴런(neuron)을 포함하고 있으며, 이들은 또 다시 수많은 돌기를 지니고 있다. 뉴런은 신경세포체와 축색 돌기(axon/nerve fiber) 및 수상 돌기(dendrite)를 포함한다. 축색 돌기는 다른 신경 세포와 접촉하여 정보를 내보내는 역할을 하며, 수상 돌기는 신호를 받아들이는 역할을 한다.

[0003] 한 뉴런의 축삭돌기 말단과 다음 뉴런의 수상돌기 사이가 만나는 연결 부위를 시냅스(synapse)라 한다. 정보의 기억 및 신호 전달은 시냅스에서의 웨이트(weight, 가중치값)의 변화로 발생하며 웨이트는 두가지 가소성, 즉 단기 가소성(short term plasticity) 및 장기 가소성(long term plasticity)에 의해 변화된다. 단기 가소성이 일어날 경우 시냅스 웨이트가 단기강 동안 상승하여 빠르게 처음 상태로 되돌아 가며, 지속적으로 시냅스가 자극을 받을 경우 영구적으로 시냅스에 변화가 일어나는 장기 가소성이 발생된다. 장기 가소성은 짧은 간격의 시냅스 자극으로 인해 더욱 효과적이고 적은 수의 자극으로 일어날 수 있다. 이러한 뉴런의 가소성 특성은 효과적인 정보 처리 방식을 가짐에도 불구하고 뇌의 복잡하게 얽힌 프로세스로 인하여 시뮬레이션 등 소프트웨어로 재현하기 힘든 것으로 알려져 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 일 측면은 둘 이상의 저항성 소자를 이용하여 형성한 하이브리드형 저항성 메모리 소자를 제공하는 것이다.

[0005] 본 발명의 다른 측면은 둘 이상의 저항성 소자를 이용하여 형성한 하이브리드형 저항성 메모리 소자의 작동 방법을 제공하는 것이다.

[0006] 본 발명의 다른 측면은 둘 이상의 저항성 소자를 이용하여 형성한 하이브리드형 저항성 메모리 소자의 제조 방법을 제공하는 것이다.

**과제의 해결 수단**

[0007] 본 발명의 실시예에서는,

[0008] 적어도 2개 이상의 저항성 메모리부를 포함하며,

[0009] 상기 저항성 메모리부 중 적어도 하나는 장기 가소성 특성을 지닌 저항성 메모리로 형성된 하이브리드형 저항성 메모리 소자를 제공한다.

[0010] 상기 저항성 메모리부는 장기 가소성 메모리 특성을 지닌 저항성 메모리 및 단기 가소성 메모리 특성을 지닌 저항성 메모리를 포함하여 형성된 것일 수 있다.

[0011] 상기 단기 가소성 특성을 지닌 저항성 메모리는 전극 사이에 페로브스카이트(perovskite) 구조의 산화물을 포함하여 형성된 메모리 저항층을 포함할 수 있다.

[0012] 상기 메모리 저항층은 PrCaMnO(PCMO), CaMnO<sub>3</sub>(CMO), CaTiO<sub>3</sub>, BaTiO<sub>3</sub>, SrTiO<sub>3</sub>, KTaO<sub>3</sub>, KNbO<sub>3</sub> 또는 NaNbO<sub>3</sub> 을 포함할 수 있다.

[0013] 상기 단기 가소성 특성을 지닌 저항성 메모리는 산소 정공의 이동 또는 차지 트랩(charge trap) 등의 원리에 의해 저항 상태가 변경될 수 있다.

[0014] 상기 저항성 메모리부는 모두 장기 가소성 특성을 지닌 저항성 메모리로 형성된 것일 수 있다.

- [0015] 상기 장기 가소성 특성을 지닌 저항성 메모리는 전극 사이에 전이금속 산화물을 포함하여 형성된 메모리 저항층을 포함하는 구조일 수 있다.
- [0016] 상기 전이금속 산화물은 Ni 산화물, Ti 산화물, Hf 산화물, Zr 산화물, Zn 산화물, W 산화물, Co 산화물 또는 Nb 산화물로 형성된 것일 수 있다.
- [0017] 상기 장기 가소성 특성을 지닌 저항성 메모리는 필라멘트 형성으로 인하여 저항 상태가 바뀌는 것일 수 있다.
- [0018] 상기 하이브리드형 저항성 메모리 소자는,
- [0019] 하부 전극, 하부 전극 상에 순차적으로 형성된 제 1메모리 저항층, 중간 전극, 제 2메모리 저항층 및 상부 전극을 포함할 수 있다.
- [0020] 상기 하부 전극, 중간 전극 및 상부 전극은 Al, Au, Cu, Co, Zr, Zn, W, Ir, Ru, Pt, Ti, Hf 또는 TiN로 형성된 것일 수 있다.
- [0021] 상기 적어도 2개 이상의 저항성 메모리부들은 직렬로 연결된 것일 수 있다.
- [0022] 또한, 적어도 2개 이상의 저항성 메모리부를 포함하며, 상기 저항성 메모리부 중 적어도 하나는 장기 가소성 특성을 지닌 저항성 메모리로 형성된 하이브리드형 저항성 메모리 소자의 작동 방법에 있어서,
- [0023] 전원 공급부를 통하여 상기 적어도 2개 이상의 저항성 메모리부에 인가하는 전압을 점차적으로 증가시키면서 단기 가소성 상태 및 장기 가소성 상태를 형성하는 하이브리드형 저항성 메모리 소자의 작동 방법을 제공한다.
- [0024] 상기 적어도 2개 이상의 저항성 메모리부는 단기 가소성 특성을 지닌 저항성 메모리부 및 장기 가소성 특성을 지닌 저항성 메모리부를 포함하며,
- [0025] 상기 전원 공급부를 통하여 펄스 전압을 인가하여 순차적으로 상기 단기 가소성 특성을 지닌 저항성 메모리부의 저항을 낮추고, 상기 장기 가소성 특성을 지닌 저항성 메모리부의 저항을 낮출 수 있다.
- [0026] 상기 적어도 2개 이상의 저항성 메모리부는 장기 가소성 특성을 지닌 저항성 메모리부들을 포함하며,
- [0027] 상기 전원 공급부를 통하여 펄스 전압을 인가하여 순차적으로 상기 장기 가소성 특성을 지닌 저항성 메모리부들의 저항을 순차적으로 낮출 수 있다.
- [0028] 또한, 적어도 2개 이상의 저항성 메모리부를 포함하며, 상기 저항성 메모리부 중 적어도 하나는 장기 가소성 특성을 지닌 저항성 메모리로 형성된 하이브리드형 저항성 메모리 소자의 제조 방법에 있어서,
- [0029] 하부 전극 상에 제 1메모리 저항층, 중간 전극, 제 2메모리 저항층 및 상부 전극을 순차적으로 형성하는 하이브리드형 저항성 메모리 소자의 제조 방법을 제공한다.

**발명의 효과**

- [0030] 본 발명의 실시예에 따른 하이브리드형 저항성 메모리 소자에 따르면, 단기 가소성 상태 및 장기 가소성 상태를 구현할 수 있어 다중 레벨의 저항 상태를 지닌 하이브리드형 메모리 소자로 구동을 할 수 있으며, 시냅스의 작용과 유사한 특성을 지닌 메모리 소자를 구현할 수 있게 된다.

**도면의 간단한 설명**

- [0031] 도 1은 본 발명의 실시예에 따른 하이브리드형 저항성 메모리 소자의 구조를 나타낸 도면이다.
- 도 2는 본 발명의 실시예에 따른 하이브리드형 저항성 메모리 소자의 회로도를 나타낸 도면이다.
- 도 3a는 본 발명의 실시예에 따른 하이브리드형 저항성 메모리 소자에 사용되는 단기 가소성(short term plasticity) 소자의 동작 특성을 나타낸 그래프이다.
- 도 3b는 본 발명의 실시예에 따른 하이브리드형 저항성 메모리 소자에 사용되는 장기 가소성(long term plasticity) 소자의 동작 특성을 나타낸 그래프이다.
- 도 4a는 본 발명의 실시예에 따른 하이브리드형 저항성 메모리 소자의 시간에 따라 인가 전압을 높인 경우의 전류값의 변화를 나타낸 그래프이다.

도 4b 내지 도 4e는 도 4a의 M0 내지 M4에서의 저항 상태를 나타낸 그래프이다.

도 5a 및 도 5b는 본 발명의 실시예에 따른 하이브리드형 저항성 메모리 소자의 시간에 따른 인가 전압을 나타낸 그래프이다.

도 6은 본 발명의 실시예에 따른 하이브리드형 저항성 메모리 소자를 3개의 장기 가소성 소자로 구성하고 펄스를 인가한 경우, 시간에 따른 전도성의 변화를 나타낸 그래프이다.

**발명을 실시하기 위한 구체적인 내용**

- [0032] 이하에서는 본 발명의 실시예에 따른 하이브리드형 저항성 메모리 소자에 대해 상세히 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.
- [0033] 도 1은 본 발명의 실시예에 따른 하이브리드형 저항성 메모리 소자의 구조를 나타낸 도면이다. 본원의 실시예에 의한 하이브리드형 저항성 메모리 소자는 적어도 두 개의 저항성 메모리부를 포함한다.
- [0034] 도 1을 참조하면, 하부 전극(10), 하부 전극(10) 상에 순차적으로 형성된 제 1메모리 저항층(12), 중간 전극(14), 제 2메모리 저항층(16) 및 상부 전극(18)을 포함하는 구성을 지닐 수 있다.
- [0035] 여기서, 하부 전극(10), 제 1메모리 저항층(12) 및 중간 전극(14)을 포함하는 영역은 제 1저항성 메모리부일 수 있으며, 중간 전극(14), 제 2메모리 저항층(16) 및 상부 전극(18)은 제 2저항성 메모리부일 수 있다.
- [0036] 도 2는 본 발명의 실시예에 따른 하이브리드형 저항성 메모리 소자의 회로도를 개략적으로 나타낸 도면이다.
- [0037] 도 2를 참조하면, 제 1저항성 메모리부(R1) 및 제 2저항성 메모리부(R2)가 직렬로 연결되어 있으며, 제 1메모리부(R1) 및/또는 제 2메모리부(R2)에 전원을 공급하는 전원 공급부(20)가 연결되어 있다.
- [0038] 실시예에 의한 하이브리드형 저항성 메모리 소자는 적어도 두 개의 저항성 메모리부를 포함한다. 저항성 메모리 소자는 단기 가소성(short term plasticity) 특성을 지닌 저항성 메모리 및 장기 가소성(long term plasticity) 특성을 지닌 저항성 메모리로 나눌 수 있다.
- [0039] 구체적으로 단기 가소성 특성을 지닌 저항성 메모리는 산소 정공의 이동 또는 차지 트랩(charge trap) 등의 원리에 의해 저항 상태가 변경될 수 있는 저항성 메모리일 수 있으며, 전극 사이에 페로브스카이트(perovskite) 구조의 산화물을 포함하여 형성된 메모리 저항층을 포함하는 구조일 수 있다. 페로브스카이트 구조의 산화물로는 PrCaMnO(PCM0), CaMnO3(CM0), CaTiO<sub>3</sub>, BaTiO<sub>3</sub>, SrTiO<sub>3</sub>, KTaO<sub>3</sub>, KNbO<sub>3</sub> 또는 NaNbO<sub>3</sub> 등을 사용할 수 있다. 이와 같은 단기 가소성 특성을 지닌 저항성 메모리부의 전기적 특성을 도 3a를 참조하여 설명한다.
- [0040] 도 3a는 본 발명의 실시예에 따른 하이브리드형 저항성 메모리 소자에 사용되는 단기 가소성(short term plasticity) 특성을 지닌 저항성 메모리부의 동작 특성을 개략적으로 나타낸 그래프이다. 여기서, 가로축은 인가 전위를 나타내며, 세로축은 단기 가소성 저항성 메모리부의 저항층에 흐르는 전류 값을 나타낸 것이다. 도 3a를 참조하면, 인가하는 전위의 크기를 점차적으로 증가시키거나 감소시키면 인가되는 전위의 크기에 비례하여 메모리 저항층에 흐르는 전류 값이 증가하는 선형적인 특성을 나타내는 것을 알 수 있다. 이와 같은 단기 가소성 저항성 메모리부의 경우 수 초(sec) 내지 수 분(min) 정도의 데이터 리텐션(data retention) 특성을 지닐 수 있다.
- [0041] 그리고, 장기 가소성 특성을 지닌 저항성 메모리부는 필라멘트 형성으로 인하여 저항 상태가 바뀌는 저항성 메모리부일 수 있으며, 전극 사이에 전이금속 산화물을 포함하여 형성된 메모리 저항층을 포함하는 구조일 수 있다. 장기 가소성 저항성 메모리부는 수시간 이상의 데이터 리텐션 특성일 지닐 수 있다. 장기 가소성 저항성 메모리부의 메모리 저항층에 사용될 수 있는 전이금속 산화물로는 예를 들어, Ni 산화물, Ti 산화물, Hf 산화물, Zr 산화물, Zn 산화물, W 산화물, Co 산화물 또는 Nb 산화물 등이 있으며, 구체적으로 NiO, TiO<sub>2</sub>, HfO, ZrO, ZnO, WO<sub>3</sub>, CoO 또는 Nb<sub>2</sub>O<sub>5</sub> 중 적어도 어느 한 물질 또는 이들의 화합물을 포함할 수 있다. 이와같은 장기 가소성 특성을 지닌 전자 소자의 전기적 특성을 도 3b를 참조하여 설명한다.
- [0042] 도 3b는 본 발명의 실시예에 따른 하이브리드형 저항성 메모리 소자에 사용되는 장기 가소성(long term plasticity) 특성을 지닌 저항성 메모리부의 동작 특성을 개략적으로 나타낸 그래프이다. 여기서, 가로축은 저항성 메모리부의 양쪽 전극에 인가되는 인가 전압을 나타내며, 세로축은 전자 소자의 저항체에 흐르는 전류 값

을 나타낸 것이다. 도 3b를 참조하면, 전극을 통하여 저항성 메모리부에 대해 인가하는 전압의 크기를 0V에서 점차적으로 증가시키면, 전압에 비례하여 G2 그래프를 따라 전류 값이 증가한다. 그러나, V1 이상의 전압을 인가하면, 저항성 메모리부의 저항이 크게 증가하여 전류 값이 감소하게 된다. V1 ~ V2 범위로 전압을 인가하면 저항성 메모리부에 흐르는 전류 값은 G1 그래프를 따라 증가한다. 그리고, V2 이상의 전압을 가하게 되면, 저항이 갑자기 감소하여 전류가 증가하게 되어 다시 G1 그래프를 따르게 된다.

[0043] V1보다 큰 전압 범위에서 인가하는 전압의 크기에 따라 저항성 메모리부의 전기적 특성이 이후의 V1 보다 작은 전압 인가 시 전기적 특성에 영향을 미치게 되는데, 이를 상세히 설명하면 다음과 같다. 먼저, V1 ~ V2 범위의 전압을 저항성 메모리부에 인가한 후, V1 보다 작은 전압을 다시 인가하면, 측정되는 전류는 G2 그래프에 따른 전류 값이 측정된다. 반면 V2보다 큰 범위의 전압을 저항성 메모리부에 인가한 후, V1 보다 작은 전압을 다시 인가하면, 측정되는 전류는 G2 그래프에 따른 전류 값이 측정된다. 이를 통하여 V1 보다 큰 전압 범위에서 인가하는 전압의 크기(V1 ~ V2 범위 또는 V2보다 큰 범위)에 따라 저항성 메모리부에 미치는 전기적 특성이 영향을 미치게 된다.

[0044] 실시예에 따른 하이브리드형 저항성 메모리 소자는 적어도 하나 이상의 장기 가소성 특성을 지닌 저항성 메모리부를 포함하며, 예를 들어 제 1메모리부(R1) 및 제 2메모리부(R2) 중 하나는 장기 가소성 메모리 소자이며, 나머지 하나는 단기 가소성 메모리 소자일 수 있으며, 제 1메모리부(R1) 및 제 2메모리부(R2) 모두 장기 가소성 메모리 소자일 수 있다. 그리고, 실시예에 따른 하이브리드형 저항성 메모리 소자가 3개 이상의 저항성 메모리부를 포함하는 경우에도 적어도 하나 이상의 장기 가소성 메모리 소자를 메모리로 포함하며, 나머지 메모리부들은 단기 가소성 메모리 소자 또는 단기 가소성 메모리 소자로 형성된 것일 수 있다.

[0045] 하부 전극(10), 중간 전극(14) 및 상부 전극(18)은 전도성 물질로 형성된 것일 수 있으며, 금속, 전도성 금속 산화물 또는 전도성 금속 질화물로 형성된 것일 수 있다. 구체적으로, 하부 전극(10), 중간 전극(14) 및 상부 전극(18)은 Al, Au, Cu, Co, Zr, Zn, W, Ir, Ru, Pt, Ti, Hf 또는 TiN 등으로 형성된 것일 수 있다.

[0046] 실시예에 의한 하이브리드형 저항성 메모리 소자는 트랜지스터 또는 다이오드와 같은 스위치 구조와 연결된 형태로 구동될 수 있다.

[0047] 본 발명의 실시예에 따른 하이브리드형 저항성 메모리 소자는 물리적 또는 화학적 성장법을 이용하여 하부 전극(10) 상에 제 1메모리 저항층(12), 중간 전극(14), 제 2메모리 저항층(16) 및 상부 전극(18)을 순차적으로 형성함으로써 제조할 수 있다.

[0048] 본 발명의 실시예에 따른 하이브리드형 저항성 메모리 소자는 전원 공급부를 통하여 메모리부에 인가하는 전압을 점차적으로 증가시키면서 리텐션 특성을 점차적으로 증가시켜 단기 가소성 상태 및 장기 가소성 상태를 구현하도록 작동시킬 수 있다. 이하, 본 발명의 실시예에 따른 하이브리드형 저항성 메모리 소자의 작동 방법에 대해서 도 4a 내지 도 4e를 참조하여 설명하고자 한다. 여기서는 하이브리드형 저항성 메모리 소자가 하나의 장기 가소성 메모리부(R<sub>F</sub>) 및 하나의 단기 가소성 메모리부(R<sub>O</sub>)를 포함하는 구성인 경우를 예를 들어 설명한다.

[0049] 도 4a는 본 발명의 실시예에 따른 하이브리드형 저항성 메모리 소자의 시간에 따라 인가 전압을 높인 경우의 전류 값의 변화를 나타낸 그래프이다. 그리고, 도 4b 내지 도 4e는 도 4a의 M0 내지 M4에서의 저항 상태를 나타낸 그래프이다.

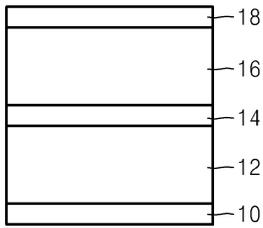
[0050] 도 4a 및 도 4b를 참조하면, 단기 가소성 메모리부(R<sub>O</sub>) 및 장기 가소성 메모리부(R<sub>F</sub>)가 직렬로 연결되어 있으며, 장기 가소성 메모리부(R<sub>F</sub>)는 전원 인가부(40)와 연결되어 있다. 전압을 인가하지 않은 초기 상태(M0)에서는 단기 가소성 메모리부(R<sub>O</sub>) 및 장기 가소성 메모리부(R<sub>F</sub>)의 저항 상태는 모두 높은 상태(R<sub>O-H</sub>, R<sub>F-H</sub>)로서 전류 값의 변화가 없다.

[0051] 도 4a 및 도 4c를 참조하면, 전원 인가부(40)를 통하여 인가되는 전압의 값을 높이는 경우, 먼저 단기 가소성 메모리부(R<sub>O</sub>)의 저항 값이 감소(R<sub>O-H→L</sub>)하게 된다. 이에 따라 하이브리드형 저항성 메모리 소자의 전체적인 저항 값이 낮아지면서 내부에 흐르는 전류 값이 상승하는 상태(M1, M2)가 된다. 참고로, 전원 공급부(40)를 통하여 인가하는 전압의 값이 장기 가소성 메모리부(R<sub>F</sub>)의 저항 상태를 변화시키지 못하는 경우에는 단기 가소성 메모리부(R<sub>O</sub>)의 저항 값만 변화하며 추가적인 전류 값의 변화는 없는 상태(M1)가 되며, 인가되는 전압 값을 지속적으

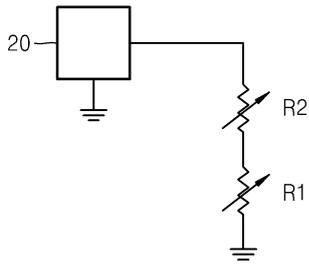


도면

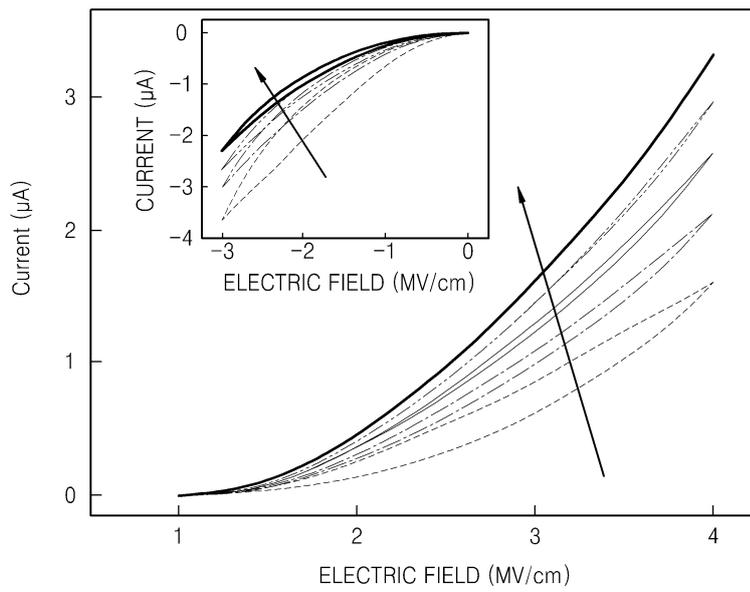
도면1



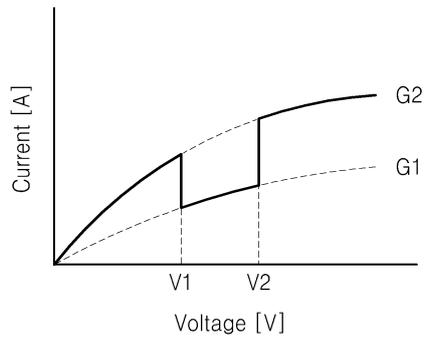
도면2



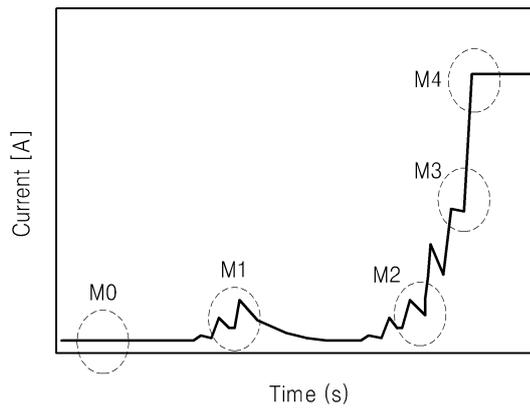
도면3a



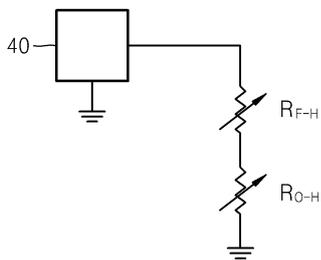
도면3b



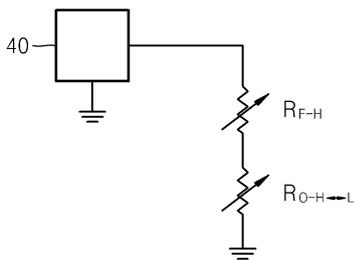
도면4a



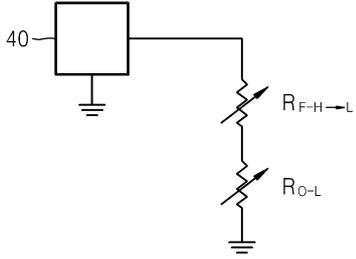
도면4b



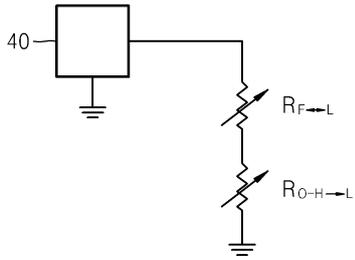
도면4c



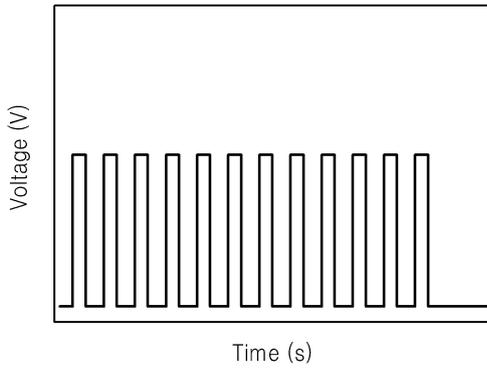
도면4d



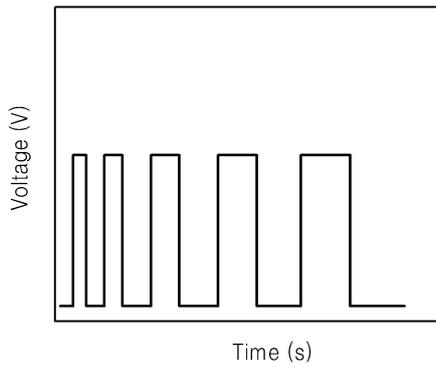
도면4e



도면5a



도면5b



도면6

