



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0061379
(43) 공개일자 2012년06월13일

(51) 국제특허분류(Int. Cl.)

H01L 31/10 (2006.01) *H01L 27/14* (2006.01)

(21) 출원번호 10-2010-0122678

(22) 출원일자 2010년12월03일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

광주과학기술원

광주광역시 북구 첨단과기로 123 (오룡동)

(72) 발명자

조용철

경기 수원시 영통구 영통동 신나무실 신원아파트
645-1404

이용택

광주광역시 북구 첨단과기로 123, 교수사택
C-305 (오룡동, 광주과학기술원)

(뒷면에 계속)

(74) 대리인

리앤목특허법인

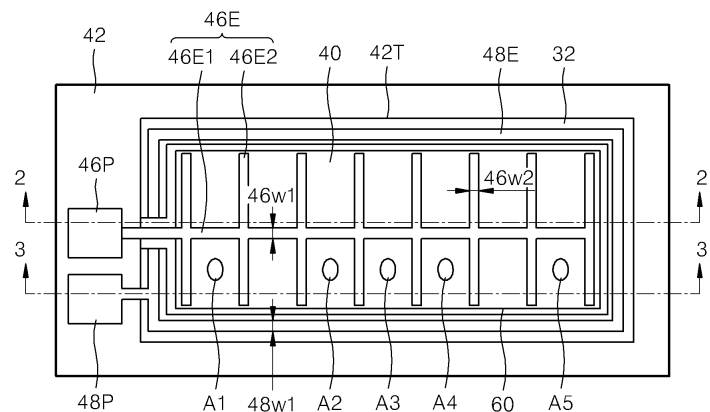
전체 청구항 수 : 총 23 항

(54) 발명의 명칭 **광 이미지 변조기 및 그 제조 방법**

(57) 요약

광 이미지 변조기 및 그 제조 방법에 관해 개시되어 있다. 광 이미지 변조기는 기판 상에 형성된 N 전극 접촉층과, 상기 N 전극 접촉층 상에 순차적으로 적층된 하부 DBR층, 양자 우물층, 상부 DBR층 및 P 전극 접촉층을 포함하고, 상기 P 전극 접촉층 상에 형성된 P 전극 및 상기 N 전극 접촉층 상에 형성된 N 전극을 포함한다. 상기 N 전극은 상기 하부 DBR층을 둘러싸는 프레임(frame) 형태이다.

대표도 - 도1



(72) 발명자

박용화

경기도 용인시 수지구 진산로 90, 삼성5차아파트
503동 204호 (풍덕천동)

나병훈

서울특별시 강동구 올림픽로89길 39-4, 동도빌라
가동 307호 (천호동)

정봉규

서울특별시 동대문구 제기로25길 17-6 (청량리동)

특허청구의 범위

청구항 1

기관;

상기 기관 상에 형성된 N 전극 접촉층;

상기 N 전극 접촉층 상에 형성된 하부 DBR층;

상기 하부 DBR층 상에 형성된 양자 우물층;

상기 양자 우물층 상에 형성된 상부 DBR층;

상기 상부 DBR층 상에 형성된 P 전극 접촉층;

상기 P 전극 접촉층 상에 형성된 P 전극; 및

상기 N 전극 접촉층 상에 형성된 N 전극을 포함하고,

상기 N 전극은 상기 하부 DBR층을 둘러싸는 프레임(frame) 형태인 광 이미지 변조기.

청구항 2

제 1 항에 있어서,

상기 P 전극과 상기 N 전극은 각각 P 본딩 패드와 N 본딩 패드에 연결되고, 상기 P 본딩 패드와 상기 N 본딩 패드는 동일한 방향으로 나란히 구비된 광 이미지 변조기.

청구항 3

제 1 항에 있어서,

상기 P 전극은 휘시 본(fish-bone) 구조 또는 격자 구조(matrix)로 형성된 광 이미지 변조기.

청구항 4

제 1 항에 있어서,

상기 N 전극 접촉층, 상기 하부 DBR층, 상기 양자 우물층, 상기 상부 DBR층 및 상기 P 전극 접촉층을 둘러싸는 절연층을 포함하고,

상기 절연층에 상기 N 전극 접촉층이 노출되는 관통홀이 형성되어 있고,

상기 관통홀을 통해 노출되는 상기 N 전극 접촉층 상에 상기 N 전극이 형성되어 있는 광 이미지 변조기.

청구항 5

제 1 항에 있어서,

상기 N 전극은 상기 하부 DBR층의 적어도 한 변을 둘러싸도록 구비된 광 이미지 변조기.

청구항 6

제 2 항에 있어서,

상기 N 전극에 연결되는 제2 N 본딩 패드가 더 구비되어 있고, 상기 N 본딩 패드와 상기 제2 N 본딩 패드는 상기 P 본딩 패드의 양쪽에 대칭적으로 구비된 광 이미지 변조기.

청구항 7

제 1 항 또는 제 6 항에 있어서,

상기 N 전극의 전압이 인가되는 지점에서 멀어질수록 상기 N 전극의 폭은 증가하는 광 이미지 변조기.

청구항 8

제 7 항에 있어서,
상기 N 전극의 폭은 연속적으로 증가하는 광 이미지 변조기.

청구항 9

제 7 항에 있어서,
상기 N 전극의 폭은 단계적으로(불연속적으로) 증가하는 광 이미지 변조기.

청구항 10

제 4 항에 있어서,
상기 절연층 상에 N 전극 패드와 P 전극 패드가 동일한 방향으로 나란히 구비되고, 상기 N 전극의 프레임은 상기 관통홀의 측벽을 따라 확장되어 상기 N 전극 패드에 연결되는 광 이미지 변조기.

청구항 11

어레이를 이루는 복수의 단위 광 변조기; 및
상기 복수의 단위 광 변조기에 인가되는 구동 전압을 제어하는 복수의 구동소자를 포함하고,
상기 단위 광 변조기는 청구항 1의 광 변조기인 광 변조기 어레이.

청구항 12

제 11 항에 있어서,
상기 복수의 단위 광 변조기는 2열, Y행(Y=1,2, 3...)으로 배열된 광 변조기 어레이.

청구항 13

제 11 항에 있어서,
상기 복수의 구동소자는 상기 복수의 단위 광 변조기와 일대 일로 대응되는 광 변조기 어레이.

청구항 14

제 12 항에 있어서,
상기 복수의 구동소자는 상기 복수의 단위 광 변조기 양쪽에 각 1열씩, 총 2열로 배열되고, 각 열의 행의 수는 상기 복수의 단위 광 변조기의 행의 수와 동일한 광 변조기 어레이.

청구항 15

제 13 항에 있어서,
상기 각 구동소자와 상기 각 단위 광 변조기 사이의 전기 배선 길이는 동일한 광 변조기 어레이.

청구항 16

제 12 항에 있어서,
상기 구동소자는 MOSFET인 광 변조기 어레이.

청구항 17

기판 상에 N 전극 접촉층을 형성하는 단계;
상기 N 전극 접촉층 상에 하부 DBR층, 양자 우물층, 상부 DBR층 및 P 전극 접촉층을 순차적으로 적층하는 단계;
상기 P 전극 접촉층의 일부 영역 상에 마스크를 형성하는 단계;

상기 마스크 둘레의 상기 하부 DBR층, 상기 양자 우물층, 상기 상부 DBR층 및 상기 P 전극 접촉층을 역순으로 식각하되, 상기 N 전극 접촉층이 노출될 때까지 식각하는 단계;

상기 마스크를 제거하는 단계;

상기 기판 상에 상기 N 전극 접촉층의 노출된 부분을 덮고, 상기 식각 후의 상기 하부 DBR층, 상기 양자 우물층, 상기 상부 DBR층 및 상기 P 전극 접촉층의 측면을 덮는 절연층을 형성하는 단계;

상기 절연층에 상기 N 전극 접촉층이 노출되고, 상기 하부 DBR층을 둘러싸는 관통홀을 형성하는 단계; 및

상기 P 전극 접촉층 상에 P 전극을 형성하고, 상기 상기 관통홀을 통해 노출되는 상기 N 전극 접촉층 상에 상기 하부 DBR층을 둘러싸는 N 전극을 형성하는 단계를 포함하는 광 이미지 변조기의 제조방법.

청구항 18

제 17 항에 있어서,

상기 P 전극 및 상기 N 전극을 형성할 때, 상기 절연층 상에 상기 P 전극과 연결되는 P 본딩 패드 및 상기 N 전극과 연결되는 N 본딩 패드를 형성하고,

상기 P 본딩 패드와 상기 N 본딩 패드는 동일한 방향으로 나란히 형성하는 광 이미지 변조기의 제조방법.

청구항 19

제 17 항에 있어서,

상기 P 전극은 휘시-본 형태 또는 매트릭스 형태로 형성하는 광 이미지 변조기의 제조방법.

청구항 20

제 18 항에 있어서,

상기 N 전극은 상기 N 본딩 패드로부터 멀어질수록 그 폭이 증가하도록 형성하는 광 이미지 변조기의 제조방법.

청구항 21

제 18 항에 있어서,

상기 N 본딩 패드는 1개 또는 2개를 형성하는 광 이미지 변조기의 제조방법.

청구항 22

제 20 항에 있어서,

상기 N 전극의 폭은 연속적으로 증가하도록 형성하는 광 이미지 변조기의 제조방법.

청구항 23

제 20 항에 있어서,

상기 N 전극의 폭은 단계적으로(불연속적으로) 증가하도록 형성하는 광 이미지 변조기의 제조방법.

명세서

기술 분야

[0001] 본 발명의 일 실시예는 광 소자에 관한 것으로서, 보다 자세하게는 PIN 다이오드 구조의 광 이미지 변조기 및 그 제조방법에 관한 것이다.

배경 기술

[0002] GaAs 기반형 광 변조기가 3D 카메라에 사용되기 위해서는 넓은 개구면, 예를 들면 4mm x 3mm 이상의 면적을 갖는 개구면에서 수십 MHz 이상의 전압 구동에 의해 고속 광 변조가 일어날 수 있어야 한다. 광 변조기는 저항 성분과 커패시터 성분(기생 커패시터 성분)을 포함한다. 따라서 광 변조기에서 고속 광 변조 동작을 수행

하기 위해서는 시정수(RC)(time constant)가 작아야 한다.

[0003] PIN 다이오드 구조의 광 변조기에서 저항 성분은 전극 물질인 금속과 반도체 물질 사이의 접촉 저항, 각 전극의 접촉층(Contact layer)의 면저항 및 DBR층의 수직 저항을 포함한다. 이러한 저항 중에서 접촉층의 면저항이 다른 저항에 비해 높다. PIN 다이오드 구조의 광 변조기에서 P 전극층 및 N 전극층의 면저항을 낮추기 위한 방안으로 전극 접촉층 상에 휘시-본(fish-bone) 구조의 전극을 형성하고, P 전극층과 N 전극층의 면저항비와 본딩 패드로부터 멀어짐에 따라 N 전극의 접촉층의 저항이 증가하고 P 전극의 금속 라인의 선 저항이 증가하는 것을 감안하여, 휘시-본의 피치를 좁게 유지하는 광 변조기가 소개되었다.

[0004] 그러나 이러한 광 변조기에서 N 전극의 면저항이 P 전극의 면저항의 1/5 정도로 비교적 큰 경우, 휘시-본의 피치는 더욱 작아지고, 결국 휘시-본의 피치가 작아진 부분에 의해 금속 섀도우(metal shadow)가 증가하게 되어 광 반사도가 저하될 수 있다.

[0005] 한편, N 전극의 접촉층의 경우, 실리콘(Si)을 도핑하여 접촉층의 면저항을 P 전극의 1/5 정도로 낮출 수 있고, 도핑 농도를 높임으로써, N 전극의 접촉층의 저항을 더 낮출 수 있으나, N 전극 접촉층의 실리콘 도핑 농도가 어느 정도 이상으로 높을 경우, 접촉층의 막질이 크게 저하되어 오히려 접촉층의 저항을 증가시켜서 절연파괴 전압(breakdown voltage)이 낮아질 수 있다. 그러므로 P 전극에서 휘시-본의 피치가 일정할 때, N 전극 접촉층의 면저항은 본딩 패드로부터 멀어질 수록 증가하게 된다. 이에 따라 광 변조기의 시정수는 증가하게 되고, 광 변조기의 고속 구동은 어려워질 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 일 실시예는 고속 구동이 가능하고, 균일한 주파수 응답 특성을 갖는 광 이미지 변조기를 제공한다.

[0007] 본 발명의 일 실시예는 이러한 광 이미지 변조기를 단위 광 변조기로 포함하는 광 변조기 어레이(대면적 광 변조기)를 제공한다.

[0008] 본 발명의 일 실시예는 그러한 광 이미지 변조기의 제조 방법을 제공한다.

과제의 해결 수단

[0009] 본 발명의 일 실시예에 의한 광 이미지 변조기는 기판 상에 형성된 N 전극 접촉층과, 상기 N 전극 접촉층 상에 순차적으로 적층된 하부 DBR층, 양자 우물층, 상부 DBR층 및 P 전극 접촉층을 포함하고, 상기 P 전극 접촉층 상에 형성된 P 전극 및 상기 N 전극 접촉층 상에 형성된 N 전극을 포함한다. 상기 N 전극은 상기 하부 DBR층을 둘러싸는 프레임(frame) 형태이다.

[0010] 이러한 광 이미지 변조기에서, 상기 P 전극과 상기 N 전극은 각각 P 본딩 패드와 N 본딩 패드에 연결되고, 상기 P 본딩 패드와 상기 N 본딩 패드는 동일한 방향으로 나란히 구비될 수 있다.

[0011] 상기 P 전극은 휘시 본(fish-bone) 구조 또는 격자 구조(matrix)로 구비될 수 있다.

[0012] 상기 N 전극 접촉층, 상기 하부 DBR층, 상기 양자 우물층, 상기 상부 DBR층 및 상기 P 전극 접촉층을 둘러싸는 절연층을 포함하고, 상기 절연층에 상기 N 전극 접촉층이 노출되는 관통홀이 형성되어 있고, 상기 관통홀을 통해 노출되는 상기 N 전극 접촉층 상에 상기 N 전극이 형성되어 있다.

[0013] 상기 N 전극은 상기 하부 DBR층의 적어도 한 변을 둘러싸도록 구비될 수 있다.

[0014] 상기 N 전극에 연결되는 제2 N 본딩 패드가 더 구비되어 있고, 상기 N 본딩 패드와 상기 제2 N 본딩 패드는 상기 P 본딩 패드의 양쪽에 대칭적으로 구비될 수 있다.

[0015] 상기 N 전극의 전압이 인가되는 지점에서 멀어질수록 상기 N 전극의 폭은 증가할 수 있다.

[0016] 상기 N 전극의 폭은 연속적으로 또는 단계적으로(불연속적으로) 증가할 수 있다.

[0017] 상기 절연층 상에 N 전극 패드와 P 전극 패드가 동일한 방향으로 나란히 구비되고, 상기 N 전극의 프레임은 상기 관통홀의 측벽을 따라 확장되어 상기 N 전극 패드에 연결될 수 있다.

[0018] 본 발명의 일 실시예에 의한 광 변조기 어레이는 어레이를 이루는 복수의 단위 광 변조기 및 상기 복수의 단

위 광 변조기에 인가되는 구동 전압을 제어하는 복수의 구동소자를 포함한다. 이때, 상기 단위 광 변조기는 상기 본 발명의 일 실시예에 의한 광 변조기이다.

[0019] 이러한 광 변조기 어레이에서 상기 복수의 단위 광 변조기는 2열, Y행($Y=1, 2, 3 \dots$)으로 배열될 수 있다.

[0020] 상기 복수의 구동소자는 상기 복수의 단위 광 변조기와 일대 일로 대응될 수 있다.

[0021] 상기 복수의 구동소자는 상기 복수의 단위 광 변조기 양쪽에 각 1열씩, 총 2열로 배열되고, 각 열의 행의 수는 상기 복수의 단위 광 변조기의 행의 수와 동일할 수 있다.

[0022] 상기 각 구동소자와 상기 각 단위 광 변조기 사이의 전기 배선 길이는 동일할 수 있다.

[0023] 본 발명의 일 실시예에 의한 광 변조기의 제조방법은 기판 상에 N 전극 접촉층을 형성하고, 상기 N 전극 접촉층 상에 하부 DBR층, 양자 우물층, 상부 DBR층 및 P 전극 접촉층을 순차적으로 적층하고, 상기 P 전극 접촉층의 일부 영역 상에 마스크를 형성하고, 상기 마스크 둘레의 상기 하부 DBR층, 상기 양자 우물층, 상기 상부 DBR층 및 상기 P 전극 접촉층을 역순으로 식각하되, 상기 N 전극 접촉층이 노출될 때까지 식각하고, 상기 마스크를 제거하고, 상기 기판 상에 상기 N 전극 접촉층의 노출된 부분을 덮고, 상기 식각 후의 상기 하부 DBR층, 상기 양자 우물층, 상기 상부 DBR층 및 상기 P 전극 접촉층의 측면을 덮는 절연층을 형성하고, 상기 절연층에 상기 N 전극 접촉층이 노출되고, 상기 하부 DBR층을 둘러싸는 관통홀을 형성하며, 상기 P 전극 접촉층 상에 P 전극을 형성하고 상기 상기 관통홀을 통해 노출되는 상기 N 전극 접촉층 상에 상기 하부 DBR층을 둘러싸는 N 전극을 형성한다.

[0024] 이러한 제조 방법에서, 상기 P 전극 및 상기 N 전극을 형성할 때, 상기 절연층 상에 상기 P 전극과 연결되는 P 본딩 패드 및 상기 N 전극과 연결되는 N 본딩 패드를 형성하고, 상기 P 본딩 패드와 상기 N 본딩 패드는 동일한 방향으로 나란히 형성할 수 있다.

[0025] 상기 P 전극은 휘시-본 형태 또는 매트릭스 형태로 형성할 수 있다.

[0026] 상기 N 전극은 상기 N 본딩 패드로부터 멀어질수록 그 폭이 증가하도록 형성할 수 있다.

[0027] 상기 N 본딩 패드는 1개 또는 2개를 형성할 수 있다.

[0028] 상기 N 전극의 폭은 연속적으로 또는 단계적으로(불연속적으로) 증가하도록 형성할 수 있다.

발명의 효과

[0029] 본 발명의 일 실시예에 의한 광 이미지 변조기는 N 전극 접촉층 상에 N 전극을 이루는 구성요소로써, PIN 다이오드 구조층을 둘러싸는 N 전극 프레임을 구비한다. 이에 따라 전극으로부터 접촉층의 각 영역으로 공급되는 전류의 경로는 짧아지고 일정하게 되므로, 광 변조기의 시정수(RC)가 작아진다. 이 결과, 수십 MHz, 예컨대 40MHz 이상의 고속 구동이 가능하고, N 전극 프레임이 없는 종래의 경우보다 광 변조기의 기생용량을 줄일 수 있다.

[0030] 또한, N 전극 프레임의 폭이 N 전극 패드에서 멀어짐에 따라 증가하여 N 전극 프레임의 길이 증가에 따른 선저항 증가를 보상할 수 있는 바, 균일한 주파수 응답을 얻을 수 있다.

[0031] 또한, 광 변조기 어레이 구성에서 각 단위 광 변조기와 구동 소자를 일대 일로 배치하고, 각 단위 광변조기와 구동소자의 전기적 배선 길이를 동일하게 함으로써, 광 변조기 어레이를 구성하는 각 단위 광 변조기의 주파수 응답을 균일하게 하여 광 변조기 어레이 전체의 주파수 응답도 균일하게 될 수 있다.

[0032] 또한, 본 발명의 일 실시예에 의한 광 변조기는 저전압(6V이하) 구동이 가능하고, P 전극과 N 전극 사이에 인가되는 바이어스 전압의 제어에 의해 입력광을 ON/OFF 제어할 수 있고, 입력광 신호에 대해서 사각파 또는 사인파 변조를 통한 진폭 변조방식을 통해 위상지연 방식의 TOF(Time-of-Flight) 계산도 가능하다.

[0033] 또한, 본 발명의 일 실시예에 의한 광 변조기는 CCD/CMOS 소자의 앞단에 위치하여 카메라로 입사하는 입력광을 변조하거나 미싱하여 투사된 광원의 구동 신호와 함께 시간 비행법(TOF)에 기반한 거리 측정(위상지연 측정)을 가능하게 한다.

[0034] 또한, 종래의 고가이며 큰 부피를 차지하는 영상 증폭장치를 대신하는 것으로, 실생활에서의 3차원 영상 획득, 로봇의 3차원 환경 인식, 군사용 레이저 라다(Laser Radar), 3차원 디스플레이를 위한 입력 장치, 3차원 형상 측정 분야에도 활용될 수 있다.

[0035] 또한, 현재 시판되는 3차원 거리 카메라는 대부분 CCD 소자의 내부 변복조(Internal Modulation and Demodulation) 방식을 취하는 바, 해상도가 낮을 수 있고, 더욱이 단위 소자 내에서 신호처리 회로를 화소 주위에 배치해야 하기 때문에, 단위 화소의 크기가 증가하는 바, 고해상도로 제작하기가 어렵다. 반면, 본 발명의 일 실시예에 의한 광전 흡수(Electro-absorption)를 이용한 광 변조기는 기존의 CCD나 CMOS를 그대로 사용할 수 있기 때문에 고해상도 구현이 용이하다.

[0036] 또한, 본 발명의 일 실시예에 의한 광 변조기는 광 밝기를 일정한 크기로 줄이는 감쇠기(Attenuator)에도 활용될 수 있고, 진폭 변조의 원리가 사용되는 광통신 시스템, 광 컴퓨터에서 광 연산자 및 어레이 형태의 광 신호처리 등에도 이용될 수 있다.

도면의 간단한 설명

[0037] 도 1은 본 발명의 일 실시예에 의한 광 이미지 변조기의 평면도이다.

도 2는 도 1을 2-2' 방향으로 절개한 단면도이다.

도 3은 도 1을 3-3' 방향으로 절개한 단면도이다.

도 4는 도 1에서 P 전극 패드가 2개 구비된 경우를 나타낸 평면도이다.

도 5 및 도 6은 도 4의 광 변조기에서 N 전극 패드로부터 멀어짐에 따라 N 전극 프레임(48E)의 폭이 증가하는 경우를 보여주는 평면도이다.

도 7는 본 발명의 일 실시예에 의한 광 변조기를 단위 광 변조기로 이용한 대면적 광 변조기(광 변조기 어레이)를 나타낸 평면도이다.

도 8은 도 7를 8-8' 방향으로 절개한 단면도이다.

도 9 내지 도 14는 본 발명의 일 실시예에 의한 광 변조기의 제조 방법을 단계별로 나타낸 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0038] 이하, 본 발명의 일 실시예에 의한 PIN 다이오드 구조를 갖는 광 이미지 변조기와 이를 포함하는 광 변조기 어레이 및 광 변조기 제조방법을 첨부된 도면들을 참조하여 상세하게 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.

[0039] 먼저, 본 발명의 일 실시예에 의한 광 이미지 변조기를 설명한다.

[0040] 도 1은 본 발명의 일 실시예에 의한 광 이미지 변조기의 평면도이다.

[0041] 도 1을 참조하면, 절연층(62)이 광 변조기의 PIN 다이오드 구조층(60)을 둘러싸고 있다. PIN 다이오드 구조층(60)의 사이즈는, 예를 들면 2mm x 1mm일 수 있다. 절연층(42)에는 직사각형의 PIN 다이오드 구조층(60)을 둘러싸고 N 전극 접촉층(32)의 상부면이 노출되는 관통홀(42T)이 형성되어 있다. 관통홀(42T)을 통해 노출된 N 전극 접촉층(32) 상에 PIN 다이오드 구조층(60)을 둘러싸는 N 전극 프레임(electrode frame)(48E)이 형성되어 있다. N 전극 프레임(48E)은 절연층(42) 상에 형성된 N 전극 패드(48P)에 연결되어 있다. N 전극 프레임(48E)은 단층 또는 복층일 수 있다. N 전극 프레임(48E)이 복층일 때, N 전극 프레임(48E)은, 예를 들면 니켈(Ni)층, 골드(Au)층, 게르마늄(Ge)층을 조합하여 적층할 수 있다. N 전극 프레임(48E)의 폭(48w1)은, 예를 들면 10 μ m 이상일 수 있는데, 20~80 μ m일 수도 있다. PIN 다이오드 구조층(60)의 P 전극 접촉층(40) 상에 P 전극(46E)이 존재한다. P 전극(46E)은 금속 라인으로써, 제1 전극(46E1)과 제2 전극(46E2)을 포함한다. 버스-바(bus-bar)라고도 불리는 제1 전극(46E1)은 PIN 다이오드 구조층(60)의 길이 방향으로 P 전극 접촉층(40)의 일단에서 타단까지 형성되어 있다. 제1 전극(46E1)은 절연층(62) 상에 형성된 P 전극 패드(46P)까지 확장되어 연결된다. 제2 전극(46E2)은 제1 전극(46E1)에 수직인 방향으로 배열된 복수의 금속 라인을 포함한다. 제2 전극(46E2)은 일정한 간격으로 배열되어 있다. 결과적으로 제1 및 제2 전극(46E1, 46E2)의 전체 형태는 휘시-본(fish-bone) 형태이다. 제1 전극(46E1)은 관통홀(42T)를 가로질러 P 전극 패드(46P)와 연결되는데, 제1 전극(46E1)의 관통홀(42T)을 가로지르는 부분 아래는 절연층(42)으로 채워져 있다. 제1 및 제2 전극(46E1, 46E2)은 단층 또는 복층일 수 있다. 제1 및 제2 전극(46E1, 46E2)이 복층일 때, 제1 및 제2 전극(46E1, 46E2)은, 예를 들면 백금(Pt)층, 티타늄(Ti)층, 골드(Au)층을 조합하여 적층할 수 있다. 필 팩트(fill factor)의 증가를 고려하여, 제1 및 제2 전극(46E1, 46E2)은 ITO, ZnO, AZO(Aluminum Zinc Oxide)와 같은 투명 전극일 수도 있다. 제1 및 제2 전극(46E1, 46E2)의 폭(46w1, 46w2)은, 예를 들면 10 ~ 20 μ m일 수 있다. P 전극(46E)은 휘

시-본 형태외에 격자형태(matrix)로 구성할 수도 있다. P 전극 패드(46P)와 N 전극 패드(48P)는 절연층(42)의 한쪽에 나란히 구비될 수 있다.

[0042] 한편, N 전극(48E)은 PIN 다이오드 구조층(60)의 일부만 둘러싸도록 구비될 수도 있다. 예를 들면, N 전극(48E)은 PIN 다이오드 구조층(60)의 한 변 또는 한 변과 이에 수직한 변을 둘러싸도록 구비될 수도 있다.

[0043] 도 2는 도 1을 2-2' 방향으로 절개한 단면을 보여준다.

[0044] 도 2를 참조하면, 기판(30) 상에 N 전극 접촉층(32)이 형성되어 있다. 기판(30)은, 예를 들면 GaAs 기판일 수 있다. N 전극 접촉층(32)은 화합물 반도체층일 수 있는데, 예를 들면 n 도핑 GaAs층일 수 있다. N 전극 접촉층(32)의 일부 영역 상에 PIN 다이오드 구조층(60)이 형성되어 있다. PIN 다이오드 구조층(60)은 순차적으로 적층된 하부 DBR(Distributed Bragg Reflector)층(34), 다중 양자 우물(Multiple Quantum Well)층(36) 및 상부 DBR층(38)을 포함한다. 상부 DBR층(38) 상에 P 전극 접촉층(40)이 존재한다. P 전극 접촉층(40)은 화합물 반도체층으로써, 예를 들면 p도핑 GaAs층일 수 있다. 하부 DBR층(34)은 복수의 n 도핑 화합물 반도체층을 포함할 수 있다. 예를 들면, 하부 DBR층(34)은 순차적으로 적층된 복수의 쌍(pair)을 포함할 수 있다. 이때, 각 쌍은 굴절률이 다르고 순차적으로 적층된 2개의 물질층을 포함하고, 2개의 물질층은, 예를 들면 각각 n 도핑 AlGaAs층일 수 있다. 이때, 상기 2개의 물질층의 조성비는 다를 수 있다. 상부 DBR층(38)은 복수의 p도핑 화합물 반도체층을 포함할 수 있다. 상부 DBR층(38)의 층 구성은 하부 DBR층(34)과 유사할 수 있다. 다만, 상부 DBR층(38)에 포함된 적층된 물질층의 쌍의 수는 하부 DBR층(34)보다 작을 수 있다. 상부 및 하부 DBR층(38, 34)에 포함된 각 물질층 쌍을 이루는 물질층들의 각각의 광학 두께는 $\lambda/4$ 를 만족한다. 여기서 λ 는 입사광의 파장이다. 다중 양자 우물층(36)은 광전 흡수가 일어나는 층으로써, 무도핑 진성(intrinsic) 화합물 반도체층을 포함할 수 있다. 예를 들면, 다중 양자 우물층(36)은 화합물 반도체층을 이루어진 복수의 쌍을 포함할 수 있다. 이때, 각 쌍은 양자 우물을 갖는 화합물 반도체층과 배리어 역할을 하는 화합물 반도체층을 포함할 수 있다. 상기 양자 우물을 갖는 화합물 반도체층은, 예를 들면 GaAs층일 수 있다. 상기 배리어 역할을 하는 화합물 반도체층은, 예를 들면 에너지 밴드 갭이 높은 $\text{Al}_{0.31}\text{Ga}_{0.69}\text{As}$ 층일 수 있다. 상하부 DBR층(38, 34) 사이에서 양자 우물층(36)은 공동(cavity)를 형성한다. 양자 우물층(36)의 전체 두께는 $\lambda/2$ 의 정수배일 수 있다. P 전극 접촉층(40) 상에는 P 전극을 구성하는 복수의 제2 전극(46E2)이 일정한 간격으로 구비되어 있다. 이러한 PIN 다이오드 구조층(60)은 절연층(42)으로 둘러싸여 있다. 절연층(42)은 복수의 광 변조기가 어레이를 이룰 때, 광 변조기들을 서로 전기적으로 분리하는 역할을 한다. 절연층(42)은, 예를 들면 BCB(benzocyclobutene)층일 수 있다. 절연층(42)에 형성된 관통홀(42T)을 통해 N 전극 접촉층(32)이 노출된다. N 전극 접촉층(32)의 노출된 영역 상에 N 전극 프레임(48E)이 형성되어 있다. 관통홀(42T)의 폭($w1$)은, 예를 들면 20 μm 이상일 수 있는데, N 전극 프레임(48E)의 폭보다 클 수 있다. 절연층(42) 상에는 부착층(44)이 존재한다. 부착층(44)에 의해 P 전극 본딩패드(46P) 및 N 전극 본딩 패드(48P)와 절연층(42)의 부착력이 높아질 수 있다. 부착층(44)은, 예를 들면 실리콘 산화물(SiO_2)층일 수 있다.

[0045] 도 3은 도 1을 3-3' 방향으로 절개한 단면을 보여준다.

[0046] 도 3을 참조하면, 관통홀(42T) 바깥쪽 절연층(42) 상에 부착층(44)이 형성되어 있고, 부착층(44) 상에 N 전극 패드(48P)가 형성되어 있다. N 전극(48E)은 관통홀(42T)의 측벽을 따라 N 전극 패드(48P)까지 위로 확장되어 N 전극 패드(48P)에 연결된다.

[0047] 한편, 도 4에 도시한 바와 같이, 절연층(42) 상에는 N 전극 패드(48P)(이하, 제1 N 전극 패드)와 함께 제2 N 전극 패드(48P2)가 구비될 수 있다. 제2 N 전극 패드(48P2)와 N 전극(48E)의 연결 관계는 제1 N 전극 패드(48P)와 동일할 수 있다. 제1 및 제2 N 전극 패드(48P, 48P2)는 각각 P 전극 패드(46P) 양쪽에 구비될 수 있다.

[0048] 시뮬레이션 결과에 따르면, N 전극 프레임(48E)이 존재할 때, 출력광의 세기가 -3dB 감소되는 주파수(이하, 차단 주파수)는 50MHz ~ 60MHz 사이로 크게 변화하지 않는 반면, N 전극 프레임(48E)이 존재하지 않을 때는 40MHz 보다 작은 차단 주파수가 존재하며, 영역에 따라 차단 주파수는 최대 28MHz 감소된다.

[0049] 따라서 본 발명의 일 실시예에 의한 광 변조기의 경우처럼, N 전극 프레임(48E)이 구비된 경우, 차단 주파수는 높고(주파수 대역폭은 넓고), 광 변조기 내의 영역에 따른 차단 주파수 변화는 적다. 따라서 40MHz 이상의 고속 구동이 가능하다.

[0050] 도 5 및 도 6은 광 변조기의 영역에 따른 전기-광학 응답의 균일성을 보다 높이기 위해 도 4의 광 변조기에서 N 전극 프레임(48E)을 변형한 경우를 보여준다.

- [0051] 도 5에서, N 전극 프레임(48E)의 폭(48w1)은 N 전극 패드(48P, 48P2)로부터 멀어질수록 증가한다. N 전극 프레임(48E)의 폭(48w1)의 증가는 연속적일 수 있다. 한편, 도 6에서 N 전극 프레임(48E)의 폭은 계단식으로 단계적으로 증가한다.
- [0052] 도 5 및 도 6의 경우에서, N 전극 프레임(48E)의 폭(48w1)은, 예를 들면 $20\mu\text{m} \sim 80\mu\text{m}$ 까지 변할 수 있다. 도 5 및 도 6의 경우처럼, 광 변조기에서 N 전극 프레임(48E)의 폭(48w1)이 N 전극 패드(48P, 48P2)로부터 y축 방향으로 멀어질수록 증가하는 경우, N 전극 프레임(48E)의 단면적도 함께 증가되므로, 전기 저항이 줄어든다. 따라서 도 1이나 도 4의 경우처럼 N 전극 프레임(48E)의 폭(48w1)이 일정한 경우, N 전극 프레임(48E)의 길이가 증가함에 따라 선 저항이 증가되는 것을 도 5이나 도 6의 광 변조기에서는 보상할 수 있다. 이에 따라 도 5이나 도 6의 광 변조기의 경우, N 전극 패드(48P, 48P2)로부터 멀리 있는 영역에서 차단 주파수가 낮아지는 것을 방지할 수 있어, 광 변조기 전체에서 영역에 따른 차단 주파수 변화를 훨씬 줄일 수 있다.
- [0053] N 전극 프레임의 폭이 $20\mu\text{m}$ 로 일정할 때, 주어진 인가 전압 주파수, 예컨대 40MHz의 주파수에서 광 변조기의 제1 내지 제5 영역(A1-A5)에 대해 측정된 출력광의 세기는 3dB 정도의 범위를 갖는다.
- [0054] 한편, N 전극 패드에서 멀어지면서 N 전극 프레임의 폭이 $20\mu\text{m}$, $50\mu\text{m}$ 및 $80\mu\text{m}$ 로 계단형으로 변할 때, 동일한 주어진 인가 전압 주파수에서 상기 다섯 영역에 대해 측정된 출력광의 세기는 1dB 정도의 범위를 갖는다.
- [0055] N 전극 프레임의 폭이 일정한 경우와 변하는 경우를 비교하면, 도 1 또는 도 4의 광 변조기(N 전극 프레임의 폭이 일정한 경우)의 전기 광학 응답 특성도 종래의 광 변조기에 비해 우수하지만, 도 5 또는 도 6의 광 변조기(N 전극 프레임의 폭이 변하는 경우)의 전기 광학 응답 특성은 더욱 우수함을 알 수 있다. 달리 말하면, 도 1 또는 도 4의 광 변조기의 각 영역에 따른 주파수 응답 균일성도 종래의 광 변조기 보다 우수하지만, 도 5 또는 도 6의 광 변조기의 각 영역에 따른 주파수 응답 균일성은 더욱 우수하다.
- [0056] 도 7은 본 발명의 일 실시예에 의한 광 변조기들을 단위 소자로 이용한 대면적 광 변조기(어레이)를 보여준다.
- [0057] $4\text{mm} \times 3\text{mm} \sim 8\text{mm} \times 6\text{mm}$ 의 면적을 갖는 대면적 광 변조기를 면적이 작은, 예를 들면 $2\text{mm} \times 1\text{mm}$ 정도의 면적을 갖는 복수의 단위 광 변조기로 분할하여 어레이로 구성하고, 각각의 단위 광 변조기와 구동 소자를 일대 일로 대응시킴으로써, 대면적 광 변조기의 저항 및 커패시턴스를 감소시켜 대면적 광 변조기를 고속 구동시킬 수 있을 뿐만 아니라 주파수 응답 균일성도 높일 수 있다. 또한, 대면적 광 변조기의 광 반사율을 높이기 위해, 곧 필 팩트(fill factor)를 증가시키기 위해 각 단위 광 변조기의 P 전극(46E)을 투명 전극으로 대체할 수도 있다.
- [0058] 도 7을 참조하면, 본 발명의 일 실시예에 의한 광 변조기 어레이(100)는 복수의 단위 광 변조기(65)를 포함한다. 단위 광 변조기(65)는 도 1의 광 변조기인 것으로 도시하였으나, 도 4, 도 5 또는 도 6의 광 변조기일 수도 있다. 복수의 단위 광 변조기(65)는 2열 Y형으로 배열되어 있다. 여기서 “Y”은 1 이상일 수 있고, 행의 수(Y값)는 대면적 광 변조기의 전체 면적과 단위 광 변조기의 면적과 필 팩트 등을 고려하여 적절히 정해질 수 있다. 회로가 복잡해지는 것과 각 단위 광 변조기(65) 사이의 주파수 응답 균일성이 다소 저하되는 것을 고려할 수 있다면, 복수의 단위 광 변조기(65)를 2열 이상으로 배열할 수도 있다. 도 7에는 편의 상 절연층과 그 안에 포함된 관통홀을 도시하지 않았지만, 복수의 단위 광 변조기(65) 사이에 절연층이 구비되어 있고, 상기 절연층에는 도 1과 같이 관통홀이 형성되어 있다. 이때, 상기 절연층은 도 1의 절연층(42)일 수 있다. 복수의 단위 광 변조기(65)는 기판(30) 상에 배열되어 있다. 기판(30)은 인쇄회로 기판(Printed Circuit Board)(80) 상에 장착되어 있다. 복수의 단위 광 변조기(65)는 인쇄회로 기판(80) 상에 형성된 복수의 구동 소자들(70) 사이에 위치한다. 단위 광 변조기(65)를 수십 MHz, 예를 들면 40MHz 이상으로 구동할 경우, 최대 100mA의 이상의 전류가 발생할 수 있다. 그러므로 복수의 구동소자(70)는 전류를 제어할 수 있고, 사각파(square wave)의 발생이 가능한 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)일 수 있다. 그러나 구동소자(70)는 MOSFET로 제한되지 않는다. 복수의 구동 소자(70)는 복수의 단위 광 변조기(65) 양측으로 1열씩 총 2열로 정렬되어 있고, 각 열의 행의 수는 복수의 단위 광 변조기(65)의 행의 수와 동일하다. 결과적으로, 복수의 단위 광 변조기(65)는 구동소자(70)와 일대 일로 대응한다. 각 단위 광 변조기(65)와 각 구동소자(70) 사이의 이격거리는 일정할 수 있다. 각 구동소자(70)와 각 단위 광 변조기(65) 사이에 제1 및 제2 본딩패드(P1, P2)가 존재한다. 제1 및 제2 본딩 패드(P1, P2)는 인쇄회로 기판(80) 상에 형성된다. 제1 본딩패드(P1)는 각 단위 광 변조기(65)의 P 전극 패드(46P)와 대응한다. 제2 본딩패드(P2)는 각 단위 광 변조기(65)의 N 전극 패드(48P)와 대응한다. 제1 및 제2 본딩 패드(P1, P2)가 각각 P 전극 패드(46P)와 N 전극 패드(48P)로부터 이격된 거리는 동일할 수 있다. 제1 전극패드(P1)는 구동소자(70)와 연결되어 있다. 따라서 구동

소자(70)는 제1 전극 패드(P1)를 거쳐 P 전극 패드(46P)에 연결된다. 각 단위 광 변조기(65)의 N 전극 패드(48P)는 접지된 배선(L1)에 공통으로 연결되어 있다. 각 단위 광 변조기(65)는 TTL 수준의 저 전류전압 제어에 의해 일괄 구동될 수 있다. TTL 수준의 입력 전압(TTL Vin)에 대해서 각 구동소자(70)는 최소 바이어스 전압(VL)으로 ON/OFF 되도록 한다.

[0059] 도 7에서 각 단위 광 변조기(65)는 독립된 구동소자(70)와 일대 일로 대응한다. 따라서 각 단위 광 변조기(65)는 개별 구동될 수 있다. 또한, 각 구동 소자(70)와 각 단위 광 변조기(65) 사이의 전기적 배선은 동일한 조건으로 형성되어 각 단위 광 변조기(65) 사이에 위상 지연 차이는 최소화될 수 있다. 이러한 결과로, 각 단위 광 변조기(65)는 동일한 조건에서 일괄적으로 구동될 수 있는 바, 각 단위 광 변조기(65)는 동일하게 고속 구동될 수 있고, 균일한 주파수 응답 특성을 가질 수 있다. 이에 따라 대면적을 갖는 광 변조기 어레이(100)는 전체적으로 고속 구동될 수 있고, 각 영역에 따른 주파수 응답 특성도 균일할 수 있다.

[0060] 한편, 인쇄회로 기판(8) 상에서 신호선과 접지선 등과 같은 모든 배선은 50Ω 조건을 따르는 마이크로 스트립(micro-strip), 커플러(coupler)의 설계에 기반을 둔다. 또한, 인쇄회로 기판(80) 상의 전기적 배선에 있어서 직각으로 꺾여진 부분은 라운드(round) 처리를 하여 RF 손실을 최소화 한다. 만약 여러 개의 MOSFET가 내장된 다중 구동소자를 사용하는 경우, 상기 구동소자와 각 단위 광 변조기 사이의 배선 길이가 다르기 때문에, 이를 보상하기 위한 시간 지연 요소(예컨대, 요철 모양으로 전기 배선의 길이를 길게 한 것)를 추가하여 동일한 전기적 구동 조건이 되도록 튜닝(Tuning)할 수 있다.

[0061] 도 8은 도 7을 8-8' 방향으로 절개한 단면을 보여준다.

[0062] 도 8를 참조하면, P 전극 패드(46P)와 제1 본딩 패드(P1)는 제1 와이어(50)로 서로 본딩되어 있다. N 전극 패드(48P)와 제2 본딩 패드(P2)는 제2 와이어(52)로 서로 본딩되어 있다. 각 단위 광 변조기(65)는 절연층(42)으로 둘러싸여 있고, 절연층(42)과 단위 광 변조기(65) 사이에는 콘택홀(42T)이 형성되어 있다. 콘택홀(42T) 내에 형성된 N 전극 프레임(48E)는 N 전극 접촉층 상에 형성되어 있지만, 도 7에는 도시의 편의를 위해 N 전극 접촉층을 도시하지 않았다. 각 단위 광 변조기(65) 사이에 형성된 절연층(42)의 폭(42w2)은, 예를 들면 100μm일 수 있다. 구동소자(70)와 제1 및 제2 본딩 패드(P1, P2)는 인쇄회로 기판(80) 상에 형성된 배선(미도시)을 통해 연결된다.

[0063] 다음에는 본 발명의 일 실시예에 의한 PIN 다이오드 구조를 갖는 광 변조기의 제조방법을 도 9 내지 도 14를 참조하여 설명한다. 하기 설명에서 상술한 광 변조기에서 설명된 부재에 대해서는 동일한 참조번호를 사용하고, 그 부재에 대한 설명은 생략한다.

[0064] 도 9를 참조하면, 기판(30) 상에 N 전극 접촉층(32)을 형성한다. N 전극 접촉층(32) 상에 하부 DBR층(34), 양자 우물층(36), 상부 DBR층(38) 및 P 전극 접촉층(40)을 순차적으로 적층한다. 적층 방법으로는, 예를 들면 에피택셜 성장법을 이용할 수도 있다. N 전극 접촉층(32)과 하부 DBR층(34)을 형성할 때, n 도핑을 실시할 수 있다. 상부 DBR층(38)과 P 전극 접촉층(40)은 p 도핑될 수 있다. P 전극 접촉층(40) 상에 마스크(M1)를 형성한다. 마스크(M1)는 감광막 패턴일 수 있다. 마스크(M1)에 의해 PIN 다이오드 구조층(60)이 한정된다. 마스크(M1)를 형성한 다음, 마스크(M1) 둘레의 P 전극 접촉층(40), 상부 DBR층(38), 양자 우물층(36) 및 하부 DBR층(34)을 순차적으로 식각한다. 이 식각은 N 전극 접촉층(32)이 노출될 때까지 실시한다. 상기 식각 후, 마스크(M1)를 제거한다. 상기 식각 결과, 도 10에 도시한 바와 같이, 기판(30) 상에 PIN 다이오드 구조층(60)이 형성된다. PIN 다이오드 구조층(60)은 N 전극 접촉층(32)을 포함할 수도 있다.

[0065] 도 10을 참조하면, N 전극 접촉층(32) 상에 PIN 다이오드 구조층(60)과 그 둘레의 N 전극 접촉층(32)의 일부를 덮는 마스크(M2)를 형성한다. 이어서, 마스크(M2) 둘레의 N 전극 접촉층(32)을 식각한다. 이때, 식각은 기판(30)의 상부면이 노출된 후, 기판(30)의 일부 두께가 제거될 때까지 실시할 수 있다. 이후, 마스크(M2)를 제거한다. 이러한 식각 결과, 도 11에 도시한 바와 같이, 기판(30)과 N 전극 접촉층(32) 사이에 단차가 형성된다.

[0066] 다음, 도 12를 참조하면, 기판(30) 상에 PIN 다이오드 구조층(60)을 둘러싸고, N 전극 접촉층(32)을 덮는 절연층(42)을 형성한다. 이러한 절연층(42)은 PIN 다이오드 구조층(60)을 덮도록 절연 물질을 형성한 다음, 상기 절연 물질을 P 전극 접촉층(40)이 노출될 때까지 평탄화하여 형성할 수 있다.

[0067] 다음, 도 13 및 도 14에 도시한 바와 같이, 절연층(42)에 N 전극 접촉층(32)이 노출되는 관통홀(42T)을 형성한다. 도 13은 도 1을 2-2' 방향으로 절개한 단면이고, 도 14는 도 1을 3-3' 방향으로 절개한 단면을 보인 것이므로, 각 도면에서 보여지는 관통홀(42T)의 분포는 다를 수 있다.

[0068] 관통홀(42T)을 형성한 후, 절연층(42)의 상부면에 부착층(44)을 형성한다. 이어서, 도 13에 도시한 바와 같이, 부착층(44) 상에 P 전극 패드(46P)를 형성하고, P 전극 접촉층(40) 상에는 휘시 본 형태의 P 전극(46E)을 형성한다. 이어서, 도 14에 도시한 바와 같이 부착층(44) 상에 N 전극 패드(48P)를 형성하고, 관통홀(42T)을 통해 노출된 N 전극 접촉층(32) 상에는 N 전극 프레임(48E)을 형성한다.

[0069] 이때, N 전극 패드(48P)와 N 전극 프레임(48E) 사이의 관통홀(42T)의 측벽에도 N 전극 프레임(48E) 형성 물질을 형성하여 N 전극 패드(48P)와 N 전극 프레임(48E)을 연결한다. 결과적으로 N 전극 프레임(48E)이 관통홀(42T)의 측벽을 따라 확장되어 N 전극 패드(48P)에 접촉되는 형태가 된다. 이렇게 해서, PIN 다이오드 구조층을 둘러싸는 N 전극 프레임(48E)을 구비하는 광 변조기가 형성된다. 도 7의 광 변조기 어레이(100)를 구성하는 단위 광 변조기(65)는 도 9 내지 도 14의 공정에 따라 형성될 수 있다. 따라서 도 7의 광 변조기 어레이(100)의 제조 공정에 도 9 내지 도 14의 제조 공정을 적용할 수 있다.

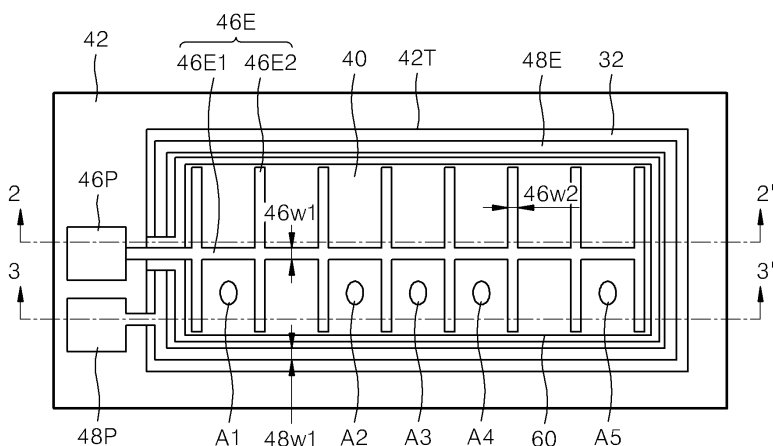
[0070] 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

부호의 설명

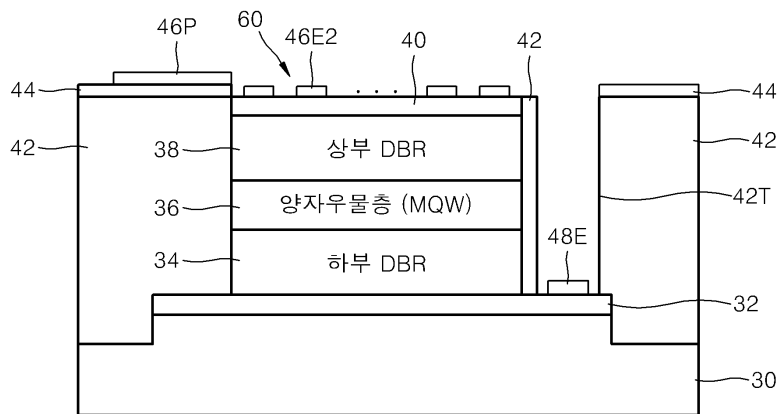
[0071]	30:기판	32:N 전극 접촉층
	40:P 전극 접촉층	42:절연층
	42T:관통홀	44:부착층
	46E1, 46E2:제1 및 제2 전극	46P:P 전극 패드
	46w1:제1 전극의 폭	46w2:제2 전극의 폭
	48E: N 전극	48P:N 전극패드
	48w1:N 전극 프레임의 폭	48P2:제2 N 전극 패드
	50, 52:제1 및 제2 와이어 본딩	
	60:PIN 다이오드 구조층	65:단위 광 변조기
	70:구동소자	100:광 변조기 어레이(대면적 광 변조기)
	A1-A5:제 1 내지 제5 영역	L1:배선
	M1, M2:마스크	P1, P2:제1 및 제2 본딩 패드
	W1:관통홀의 폭	

도면

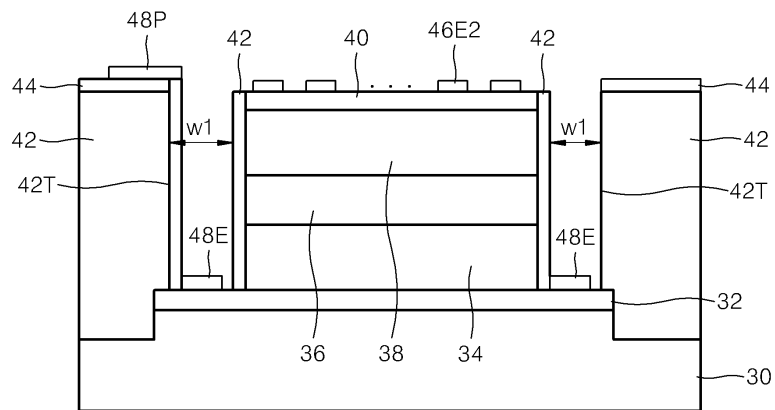
도면1



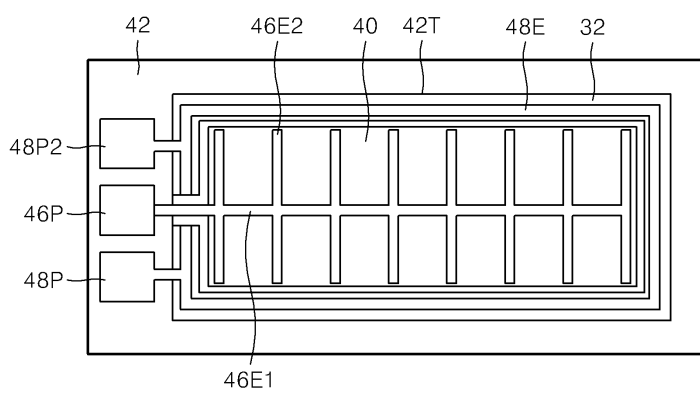
도면2



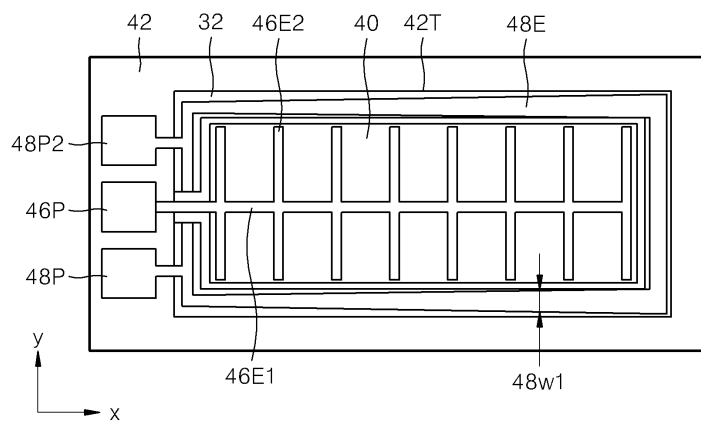
도면3



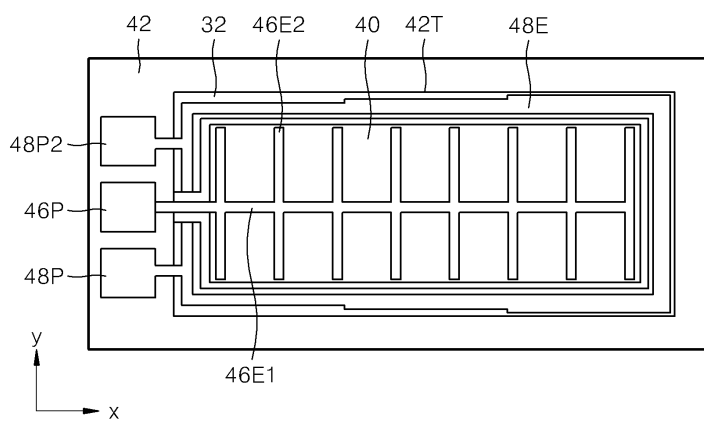
도면4



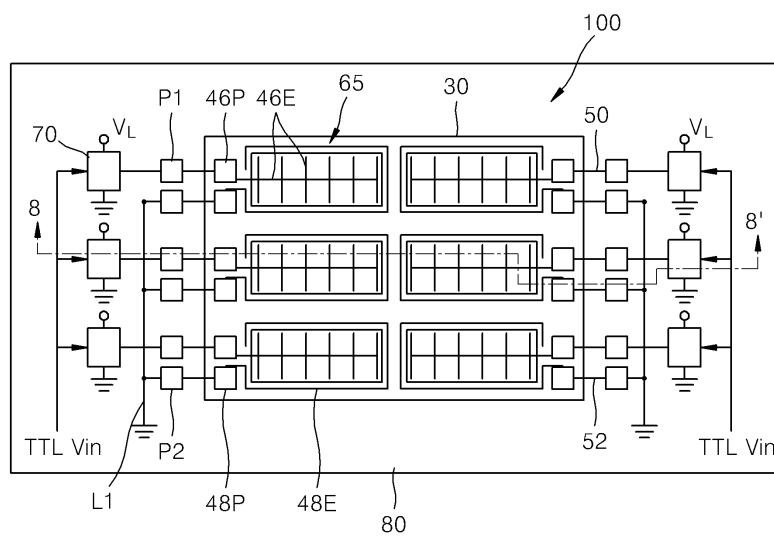
도면5



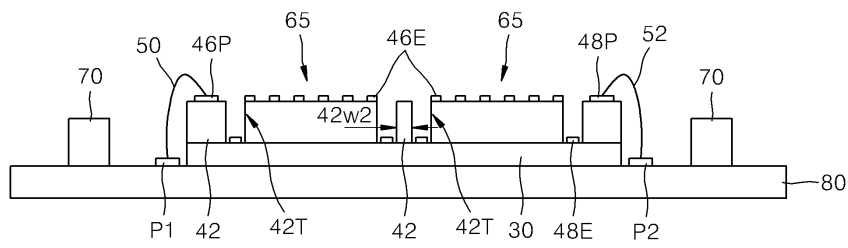
도면6



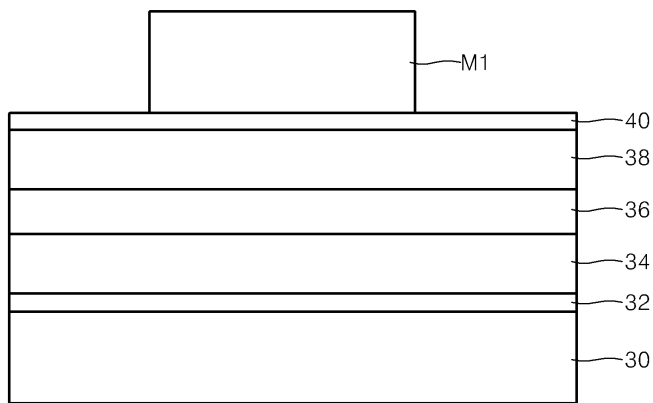
도면7



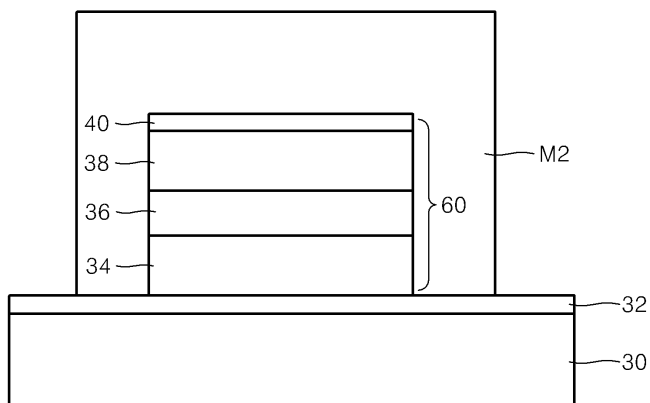
도면8



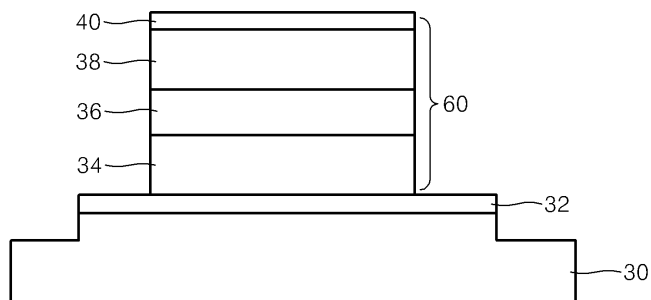
도면9



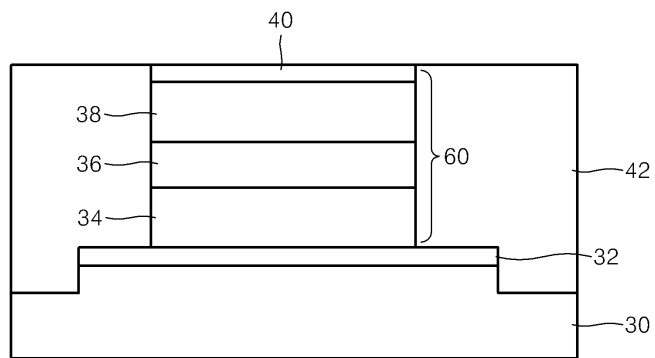
도면10



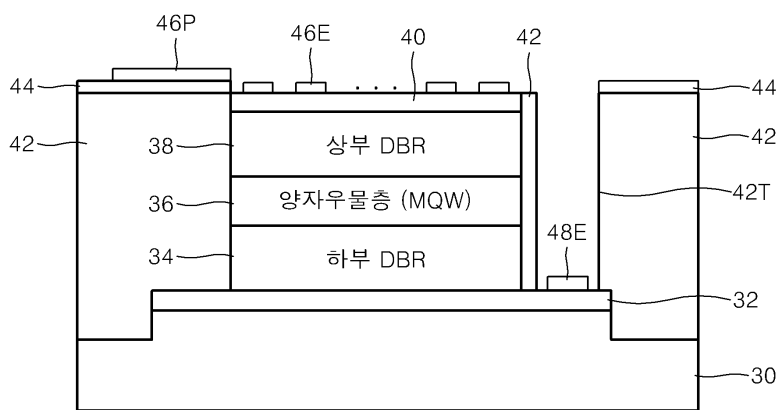
도면11



도면12



도면13



도면14

