



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0010363
(43) 공개일자 2010년02월01일

(51) Int. Cl.

H01L 33/36 (2010.01)

(21) 출원번호 10-2008-0071298

(22) 출원일자 2008년07월22일

심사청구일자 없음

(71) 출원인

삼성전기주식회사

경기도 수원시 영통구 매탄동 314

광주과학기술원

광주 북구 오룡동 1번지

(72) 발명자

강상원

경기 수원시 영통구 영통동 벽적골9단지아파트
936동 601호

박성주

광주 북구 오룡동 광주과학기술원 신소재공학과
909호

(뒷면에 계속)

(74) 대리인

특허법인 씨엔에스·로고스

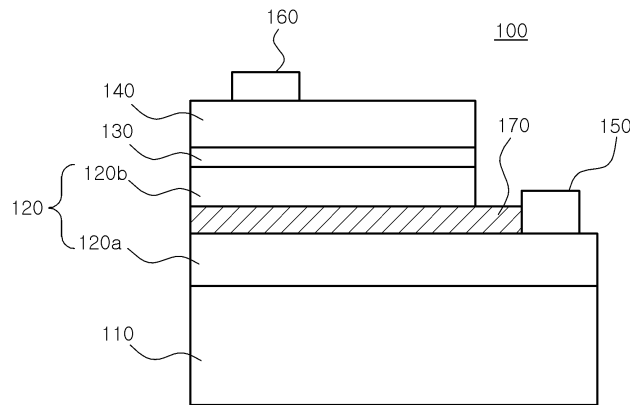
전체 청구항 수 : 총 15 항

(54) 반도체 발광소자

(57) 요약

작동 중 발생하는 열 방출이 용이하고, 전류분산효율이 높으며, 반도체층 성장 시의 전위를 차단하여 결함이 감소된 신뢰성이 향상된 반도체 발광소자가 제안된다. 본 발명에 따른 반도체 발광소자는 기판, n형 반도체층, 활성층, 및 p형 반도체층이 순차 적층된 발광구조물, 및 n형 반도체층 및 p형 반도체층 상에 각각 형성된 n형 전극 및 p형 전극을 포함하는 반도체 발광소자로서, n형 반도체층 내에 형성되고, n형 전극과 접촉하는 금속층을 포함한다.

대표도 - 도1



(72) 발명자

조주영

광주광역시 북구 오룡동 광주과학기술원 신소재 공
학과

박일규

충청북도 음성군 음성읍 한성진주아파트 102동 90
4호

김용천

경기 성남시 분당구 정자동 한솔마을한일아파트
301동 1802호

김동준

경기 수원시 영통구 영통동 청명마을4단지아파트
삼성아파트436-1502

오정탁

경기 용인시 기흥구 영덕동 태영데시앙아파트 201
동 304호

김제원

서울 서초구 우면동 동양고속아파트 103동 1301호

특허청구의 범위

청구항 1

기관, n형 반도체층, 활성층, 및 p형 반도체층이 순차 적층된 발광구조물, 및 상기 n형 반도체층 및 상기 p형 반도체층 상에 각각 형성된 n형 전극 및 p형 전극을 포함하는 반도체 발광소자로서,
상기 n형 반도체층 내에 형성되고, 상기 n형 전극과 접촉하는 금속층;을 포함하는 것을 특징으로 하는 반도체 발광소자.

청구항 2

제1항에 있어서,
상기 기관은 사파이어 또는 스피넬을 포함하는 것을 특징으로 하는 반도체 발광소자.

청구항 3

제1항에 있어서,
상기 기관은 SiC, Si, ZnO, GaAs, 및 GaN 중 어느 하나를 포함하는 것을 특징으로 하는 반도체 발광소자.

청구항 4

제1항에 있어서,
상기 금속층은 상기 활성층과 접촉하는 것을 특징으로 하는 반도체 발광소자.

청구항 5

제1항에 있어서,
상기 금속층은 패턴이 형성된 것을 특징으로 하는 반도체 발광소자.

청구항 6

제1항에 있어서,
상기 패턴은 스트라이프 패턴 또는 메쉬 패턴인 것을 특징으로 하는 반도체 발광소자.

청구항 7

제1항에 있어서,
상기 금속층은 상기 반도체층을 구성하는 반도체의 성장온도보다 높은 녹는점을 갖는 금속을 포함하는 것을 특징으로 하는 반도체 발광소자.

청구항 8

제7항에 있어서,
상기 반도체는 GaN이고, 상기 금속의 녹는점은 1000℃ 이상인 것을 특징으로 하는 반도체 발광소자.

청구항 9

제1항에 있어서,
상기 금속은 Mo, Nb, Os, Re, Pd, W, Ta, Cr, Hf, Rh 및 Zr 중 적어도 하나인 것을 특징으로 하는 반도체 발광소자.

청구항 10

제1항에 있어서,
상기 금속층은 다층인 것을 특징으로 하는 반도체 발광소자.

청구항 11

제10항에 있어서,
상기 다층 금속층 중 적어도 한 층은 Cr을 포함하는 것을 특징으로 하는 반도체 발광소자.

청구항 12

제10항에 있어서,
상기 다층 금속층 중 적어도 한 층은 Mo, Nb, Os, Re, Pd, W, Ta, Hf, 및 Zr 중 적어도 하나를 포함하는 것을 특징으로 하는 반도체 발광소자.

청구항 13

제10항에 있어서,
상기 다층 금속층 중 적어도 활성층에 가장 인접한 층은 Rh를 포함하는 것을 특징으로 하는 반도체 발광소자.

청구항 14

제10항에 있어서,
상기 다층 금속층은,
Cr을 포함하는 제1층,
Mo, Nb, Os, Re, Pd, W, Ta, Hf, 및 Zr 중 적어도 하나를 포함하는 제2층 및,
Rh를 포함하는 제3층이 순차적으로 적층된 것을 특징으로 하는 반도체 발광소자.

청구항 15

제1항에 있어서,
상기 기판 및 n형 반도체층 사이에 버퍼층을 더 포함하는 것을 특징으로 하는 반도체 발광소자.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 발광소자에 관한 것으로서, 보다 상세하게는, 작동 중 발생하는 열 방출이 용이하고, 전류분산효율이 높으며, 반도체층 성장 시의 전위를 차단하여 결함이 감소된 신뢰성이 향상된 반도체 발광소자에 관한 것이다.

배경기술

[0002] 반도체 발광소자는 전류를 통과시키면 빛을 내는 반도체 소자이다. 반도체 발광소자는 조명에서 신호등, 액정화면(LCD) 배경 광원에 이르기까지 빛 산업의 핵심 소재로 등장했다. 적은 전력으로 원하는 색깔(파장)의 밝은 빛을 발하는데다 수은 등 유해물질을 방출하지 않아 에너지 절약과 환경보호에 부합되는 차세대 광원이다. 이러한 발광소자는 현재 조명, 표시장치 및 광원으로서 널리 이용되며 그 개발이 가속화되고 있는 추세이다.

[0003] 특히, 최근 그 개발 및 사용이 활성화된 질화갈륨(GaN)계 발광다이오드를 이용한 휴대폰 키패드, 사이드 뷰어, 카메라 플래시 등의 상용화에 힘입어, 최근 발광다이오드를 이용한 일반 조명 개발이 활기를 띠고 있다. 대형 TV의 백라이트 유닛 및 자동차 전조등, 일반 조명 등 그의 응용제품이 소형 휴대제품에서 대형화, 고효율화, 고효율화, 신뢰성화된 제품으로 진행하여 해당 제품에 요구되는 특성을 나타내는 광원을 요구하게 되었다.

[0004] 일반적으로 사용되는 사파이어 기판 위에 성장시킨 질화물 반도체의 경우, 사파이어가 열전도성이 낮으므로 소자에서 발생한 열을 방출시키는 방열특성이 좋지 않은 특성을 가지고 있다. 사파이어 기판 위에 성장시킨 광반도체의 경우, 고전류 밀도에서 구동할 때의 장기 신뢰성이 취약해지는 원인이 되므로 반드시 해결해야 할 문제

로 인식되어 왔다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명은 상술한 문제점을 해결하기 위한 것으로, 본 발명의 목적은 작동 중 발생하는 열 방출이 용이하고, 전류분산효율이 높으며, 반도체층 성장 시의 전위를 차단하여 결함이 감소된 신뢰성이 향상된 반도체 발광소자를 제공하는데 있다.

과제 해결수단

[0006] 이상과 같은 목적을 달성하기 위한 본 발명의 일 측면에 따른 반도체 발광소자는 기판, n형 반도체층, 활성층, 및 p형 반도체층이 순차 적층된 발광구조물, 및 n형 반도체층 및 p형 반도체층 상에 각각 형성된 n형 전극 및 p형 전극을 포함하는 반도체 발광소자로서, n형 반도체층 내에 형성되고, n형 전극과 접촉하는 금속층;을 포함한다.

[0007] 기판은 사파이어 또는 스피넬을 포함할 수 있다. 또한, 기판은 SiC, Si, ZnO, GaAs, 및 GaN 중 어느 하나를 포함할 수 있다.

[0008] n형 반도체층 내의 금속층은 활성층과 접촉할 수 있는데, 금속층에는 패턴이 형성될 수 있다. 패턴은 바람직하게는 스트라이프 패턴 또는 메쉬 패턴일 수 있다.

[0009] 금속층은 반도체층을 구성하는 반도체의 성장온도보다 높은 녹는점을 갖는 금속을 포함하는 것이 바람직하다. 예를들어, 반도체는 GaN일 때, 금속의 녹는점은 1000℃ 이상일 수 있다. 금속은 Mo, Nb, Os, Re, Pd, W, Ta, Cr, Hf, Rh 및 Zr 중 적어도 하나인 것이 바람직하다.

[0010]

[0011] 금속층은 다층인 것이 바람직하다. 다층 금속층 중 적어도 한 층은 Cr을 포함하거나, 다층 금속층 중 적어도 한 층은 Mo, Nb, Os, Re, Pd, W, Ta, Hf, 및 Zr 중 적어도 하나를 포함하는 것이 바람직하다. 또한, 다층 금속층 중 적어도 활성층에 가장 인접한 층은 Rh를 포함하는 것이 바람직하다.

[0012] 기판 및 n형 반도체층 사이에는 버퍼층을 더 포함할 수 있다.

효과

[0013] 본 발명에 따른 반도체 발광소자는 n형 반도체층내에 금속층을 도입하여 반도체 발광소자가 작동 중에 발생하는 열을 열전도성이 높은 금속층을 통하여 효과적으로 발생시킬 수 있다.

[0014] 또한, 금속층은 n형 전극과 접촉하고 있어서, n형 전극으로부터 반도체 발광소자내에 도입되는 전자를 효과적으로 분산시켜 활성층에 공급되는 전자가 고르게 분포하도록 한다.

[0015] 마지막으로, 금속층에 패턴을 형성하는 경우, 반도체층의 기판에서부터 전이되는 전위를 차단시킬 수 있어서 반도체층의 결함을 감소시키는 효과가 있다. 따라서, 본 발명에 따른 반도체 발광소자는 신뢰성이 향상되고, 발광 효율이 증가하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0016] 이하, 첨부된 도면을 참조하여 본 발명의 실시형태를 설명한다. 그러나 본 발명의 실시형태는 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 본 발명의 실시형태는 당업계에서 통상의 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다. 또한, 본 명세서에 첨부된 도면의 구성요소들은 설명의 편의를 위하여 확대 또는 축소되어 도시되어 있을 수 있음이 고려되어야 한다.

[0017] 도 1은 본 발명의 일실시예에 따른 반도체 발광소자의 단면도이다. 본 발명에 따른 반도체 발광소자(100)는 기판(110), n형 반도체층(120), 활성층(130), 및 p형 반도체층(140)이 순차 적층된 발광구조물에 n형 반도체층(120) 및 p형 반도체층(140) 상에 각각 형성된 n형 전극(150) 및 p형 전극(160)을 포함하고, n형 반도체층(120) 내에 형성되고, n형 전극(150)과 접촉하는 금속층(170)을 포함한다. 도 1에서 반도체 발광소자(100)는 수평형

반도체 발광소자로서 도시되어 있으나, 이에 한정되지 않는다.

- [0018] 반도체 발광소자(100)는 먼저, 기판(110) 상에 n형 반도체층(120)이 형성된다. 기판(110)은 발광구조물(120, 130, 140)를 성장시키기 위한 성장기판이거나 또는 발광구조물(120, 130, 140)를 지지하기 위한 지지기판일 수 있다. 기판(110)은 C면, R면, A면을 주면으로 하는 사파이어 기판 또는 스피넬(MgAl₂O₄)과 같은 부도전성 기판, 또는 SiC, Si, ZnO, GaAs, 또는 GaN과 같은 반도체 기판 및 금속기판과 같은 도전성 기판 등을 이용할 수 있다. 이 중, 수직형 반도체 발광소자의 경우에는 Ni, Cu 또는 Si 기판과 같은 도전성 기판을 이용한다.
- [0019] n형 반도체층(120)은 GaN계반도체, ZnO계반도체, GaAs계반도체, GaP계반도체, 및 GaAsP계반도체와 같은 반도체를 포함할 수 있다. 반도체층의 형성은 공지의 성장방법, 예를 들면, 분자선 에피택시(Molecular Beam Epitaxy, MBE)방법을 이용하여 수행될 수 있다. 이외에도, 반도체층들은 III-V 족 반도체, II-VI 족 반도체, 및 Si로 구성된 군으로부터 적절히 선택되어 구현될 수 있다.
- [0020] n형 반도체층(120)의 불순물로는 예를 들어, Si, Ge, 및 Sn 중 어느 하나를 선택하여 사용할 수 있다. n형 불순물의 농도는 3E18 이상이 바람직하며, n형 불순물 농도가 증가할수록 결정성이 저하되지 않는 범위에서 Vf가 감소되는 효과를 얻을 수 있다. n형 불순물의 농도가 과도하면 결정성이 저하된다. 결정성이 저하되는 농도는 5E21 이상일 때 보이는 현상이므로 불순물의 농도는 Vf 및 결정성 측면에서 적절히 조절되는 것이 바람직하다.
- [0021] n형 반도체층(120)이 형성될 때, 그 내부에 금속층(170)이 위치한다. 금속층의 금속층(170)은 내열성 금속박막으로서, 수백 나노미터의 두께를 갖도록 형성할 수 있다.
- [0022] 또한, 금속층(170)은 반도체층을 구성하는 반도체의 성장온도보다 높은 녹는점을 갖는 금속을 포함하는 것이 바람직하다. 예를 들어, n형 반도체층(120)이 GaN을 포함할 때, 금속층(170)에 포함되는 금속의 녹는점은 1000℃ 이상일 수 있다. 이러한 금속으로는 Mo, Nb, Os, Re, Pd, W, Ta, Cr, Hf, Rh 또는 Zr를 사용할 수 있다. 금속층(170)에 대하여는 이하, 도 2 내지 도 6을 참조하여 더욱 상세히 설명하기로 한다.
- [0023] 도 1에서, 기판(110)상에 형성된 n형 반도체층을 하부 n형반도체층(120b)이라 한다면, 하부 n형반도체층(120a) 상에 금속층(170)이 형성되고, 금속층(170) 상에는 상부 n형반도체층(120b)이 형성된다. 금속층(170)은 하부 n형반도체층(120a)상에 형성된 n형 전극(150)과 접촉한다. 금속층(170)은 n형 반도체층(120)내에 위치하기만 한다면, 기판(110) 또는 활성층(130)과 접촉하면서 위치할 수 있다.
- [0024] 상부 n형반도체층(120b)상에는 활성층(130)이 형성된다. 활성층(130)의 에너지 밴드갭은 n형 반도체층(120) 및 p형 반도체층(140)의 에너지 밴드갭보다 작아 발광을 활성화시킨다. 이때, 활성층(130)의 특성상, 불순물은 도핑되지 않는 것이 바람직하며, 구성물질의 몰비를 조절하여 발광하는 빛의 파장을 조절할 수도 있다. 따라서, 반도체 발광소자(100)는 활성층(130)의 특성에 따라 적외선, 가시광선, 및 자외선 중 어느 하나의 빛을 발광할 수 있다.
- [0025] 활성층(130)은 복수의 우물층(미도시) 및 복수의 장벽층(미도시)으로 구성될 수 있다. 예를 들어, 활성층(130)은 인도프 GaN으로 이루어지는 장벽층과 인도프 InGaN으로 이루어지는 우물층으로 구성될 수 있다. 활성층(130)에 GaN층과 InGaN 층을 서로 교대로 적층하여 양자우물층을 형성하고, 장벽층(미도시)의 높이나 우물층(미도시)의 두께, 조성, 양자우물의 개수 등을 조절하여 파장이나 양자효율을 조절 할 수 있다.
- [0026] p형 반도체층(140)은 GaN계반도체, ZnO계반도체, GaAs계반도체, GaP계반도체, 및 GaAsP계반도체와 같은 반도체를 포함할 수 있다. 반도체층의 형성은 공지의 성장방법, 예를 들면, 분자선 에피택시(Molecular Beam Epitaxy, MBE)방법을 이용하여 수행될 수 있다. 이외에도, p형 반도체층(140)은 III-V 족 반도체, II-VI 족 반도체, 및 Si로 구성된 군으로부터 적절히 선택되어 구현될 수 있다. p형 반도체층(140)의 불순물로는 예를 들어, Mg, Zn 또는 Be를 사용할 수 있고, Mg가 가장 바람직하다. p형 반도체층(140)상에는 전류분산을 위하여 ITO와 같은 투명전극(미도시)이 형성될 수 있다.
- [0027] n형 반도체층(120) 및 p형 반도체층(140) 상에는 각각 n형 전극(150) 및 p형 전극(160)이 형성된다. n형 전극(150) 및 p형 전극(160)은 금속으로 구성될 수 있으며, 예를 들면, n형 전극(150)으로는 Ti를, p형 전극(160)으로는 Pd 또는 Au를 사용할 수 있다.
- [0028] 도 1에서, n형 전극(150)은 p형 반도체층(140), 활성층(130), 및 n형 반도체층(120)이 메사 식각되어, n형 반도체층(120)이 상부로 노출된 면에 형성된다. 따라서, 금속층(170)은 n형 반도체층(120)상에 형성되면서, n형 반도체층(120)이 상부로 노출된 면까지 연장되어 n형 전극(150)과 접촉한다. 금속층(170)은 n형 전극(150)과 접촉하여 n형 반도체층(120)으로부터 유입되는 전자를 전도성이 높은 금속을 포함하는 금속층(170)을 통하여 전도시

킨다.

- [0029] 도 2는 본 발명의 다른 실시예에 따른 활성층과 접촉하는 금속층을 갖는 반도체 발광소자(200)의 단면도이다. 여기서, 도 2의 반도체 발광소자는 기판(210), n형 반도체층(220), 활성층(230), p형 반도체층(240), n형 전극(250), 및 p형 전극(260)을 포함하고, 금속층(270)이 n형 반도체층(220)내에 위치하나 활성층(230)과 접촉하고 있다는 특징을 제외하고는 도 1에 관하여 설명한 바와 동일하므로 중복되는 설명은 생략하기로 한다.
- [0030] 본 실시예에서, 금속층(270)은 활성층(230)과 접촉하고 있다. 발광중심층인 활성층(230)에서 가장 발열량이 높을 것으로 예측되므로 금속층(270)이 활성층(230)과 직접 접촉하고 있다면, 활성층(230)에서 발생하는 열을 보다 효과적으로 방출할 수 있다. 또한, 활성층(230)으로 유입되는 전자를 더욱 효과적으로 분산시켜 공급할 수 있기 때문에 활성층(230)의 발광에 유리한 효과를 부여할 수 있다.
- [0031] 도 3 및 도 4는 각각 본 발명의 실시예들에 따른 스트라이프 패턴 또는 메쉬패턴을 갖는 금속층이 도시된 반도체 발광소자의 사시도이다. 도 3 및 도 4에서, 설명 및 도시의 편의상 상부 n형반도체층, 활성층, p형 반도체층 및 p형 전극은 생략하였다. 여기서, 도 3 및 도 4에서, 반도체 발광소자 중 각각 기판(310, 410), n형 반도체층(320, 420), 및 n형 전극(350, 450)이 도시되어 있는데, 각각 도 1에 관하여 설명한 바와 동일하므로 중복되는 설명은 생략하기로 한다.
- [0032] 도 3에서, 금속층(370)은 스트라이프 패턴을 갖는다. 금속층(370)은 4개의 스트라이프 패턴(370a, 370b, 370c, 370d)을 가지고 있으면서, 패턴 중 일부(370b, 370c)는 n형 전극(350)과 접촉하고 있다. 금속층(370) 패턴들 사이에는 n형 반도체층(320)이 더 형성되어 채워질 수 있으나, 패턴형상을 명확히 도시하기 위하여 이를 생략하여 도시하였다. 금속층(370)이 스트라이프 패턴을 갖는 경우, n형 전극(350)으로부터의 전류분산이 용이하여 활성층(330)에의 공급이 원활할 수 있다.
- [0033] 한편, 도 4에서, 금속층(470)은 메쉬패턴을 갖는다. 금속층(470)의 메쉬패턴은 가로패턴(470a, 470b) 및 세로패턴(470c, 470d, 470e, 470f)를 포함하여 격자형상을 갖는다. 이 때, 도 3에서와 마찬가지로 금속층(470) 패턴들 사이에는 n형 반도체층(420)이 더 형성되어 채워질 수 있으나, 패턴형상을 명확히 도시하기 위하여 이를 생략하여 도시하였다. 금속층(470)이 메쉬 패턴을 갖는 경우, n형 반도체층(420)의 성장시 전이되는 전위(dislocation)로 인한 결함을 더욱 효과적으로 차단할 수 있다.
- [0034] 금속층(370, 470)에 스트라이프 패턴 또는 메쉬 패턴을 형성하는 방법으로는 먼저, 금속 박막을 성장시키고 포토리소그래피를 이용하여 수행할 수 있다.
- [0035] 도 5 및 도 6에는 다층 구조의 금속층을 갖는 반도체 발광소자가 도시되어 있다. 도 5는 금속층은 2층(571, 572)으로 구성되어 있고, 도 6에서, 금속층은 3층(671, 672, 673)으로 구성되어 있다. 도 5 및 도 6에서, 반도체 발광소자(500, 600)는 기판(510, 610), n형 반도체층(520, 620), 활성층(530, 630), p형 반도체층(540, 640), n형 전극(550, 650), 및 p형 전극(560, 660)이 도시되어 있는데, 각각 도 1에 관하여 설명한 바와 동일하므로 중복되는 설명은 생략하기로 한다. 이하, 도 5 및 도 6을 참조하여 설명하기로 한다.
- [0036] 도 5 및 도 6에서 다층 금속층 중 적어도 한 층은 Cr을 포함하거나, 다층 금속층 중 적어도 한 층은 Mo, Nb, Os, Re, Pd, W, Ta, Hf, 및 Zr 중 적어도 하나를 포함하는 것이 바람직하다. 전술한 금속 중 Cr은 반도체층과의 접착성을 좋게 하고, Rh는 반사율이 비교적 높은 금속이다. 따라서, 이들을 적절히 조절하여 다층으로 구성하면 금속층의 효율을 높일 수 있다.
- [0037] 도 5에서, 다층 금속층은 2개의 층, 즉 제1금속층(571) 및 제2금속층(572)를 포함한다. 전술한 바와 같이, Cr은 내열성이 우수하면서도 반도체층과의 접착성이 우수하므로 하부 n형반도체층(520a)과 접촉하는 제2금속층(572)에 사용하는 것이 바람직하다. 또한, 전술한 바와 같이 Rh는 내열성이 우수하면서도 반사율이 비교적 높은 금속이므로 활성층(530)으로부터 발생한 빛을 상면으로 반사시키기 위하여 활성층(530)에 가장 인접한 층은 Rh를 포함하는 것이 바람직하다.
- [0038] 따라서, 제1금속층(571)이 Cr을 포함하는 경우, 제2금속층(572)은 Mo, Nb, Os, Re, Pd, W, Ta, Hf, 및 Zr 중 적어도 하나를 포함하거나, 또는 Rh를 포함하는 것이 바람직하다. 또는, 제2금속층(572)이 Rh를 포함하는 경우, 제1금속층(571)은 Mo, Nb, Os, Re, Pd, W, Ta, Hf, 및 Zr 중 적어도 하나를 포함하거나, 또는 Cr을 포함하는 것이 바람직하다.
- [0039] 도 6의 반도체 발광소자(600)는 3개의 층, 즉 제11층(671), 제12층(672), 및 제13층(673)으로 구성된 금속층을 포함한다. 금속층이 3개의 층으로 이루어져 있으므로, 제11층(671)은 하부n형반도체층(620a)과의 접착성을 고려

하여 Cr을 포함하고, 제12층(672)은 내열성이 우수한 금속, 예를 들면, Mo, Nb, Os, Re, Pd, W, Ta, Hf, 및 Zr 중 적어도 하나를 포함하며, 및 제13층(673)은 활성층(630)으로부터의 빛 반사성을 고려하여 Rh를 포함하는 것이 바람직하다.

[0040] 도 7은 본 발명의 다른 실시예에 따른 버퍼층을 갖는 반도체 발광소자의 단면도이다. 여기서, 반도체 발광소자(700)는 기판(710), n형 반도체층(720), 활성층(730), p형 반도체층(740), n형 전극(750), p형 전극(760) 및 전극층(770)이 도시되어 있고, 기판(710) 및 n형 반도체층(720) 사이에 버퍼층(780)을 더 포함하는 것을 제외하고는 각각 도 1에 관하여 설명한 바와 동일하므로 중복되는 설명은 생략하기로 한다.

[0041] 본 실시예에 따른 반도체 발광소자(700)는 기판(710) 및 n형 반도체층(720) 사이에 버퍼층(780)을 더 포함할 수 있다. 버퍼층(780)은 언도프된 질화물 반도체계 혹은 질화물 반도체/카바이드계 물질로 구성될 수 있다. 또한, 버퍼층(780)은 다층막으로 형성할 수 있다.

[0042] 질화물계 버퍼의 성장 온도는 200℃ 내지 900℃이고, 카바이드계 버퍼는 500℃ 내지 1500℃의 범위에서 조절된다. 이 온도에서 버퍼층(780)을 성장시키면 양질의 버퍼층을 얻을 수 있고, 버퍼층(780) 상에 성장되는 반도체 막들의 표면거칠기는 양호해진다. 또한, 버퍼층(780)은 기판(710)상에 n형 반도체층(720)을 형성할 때 성장시 전이된 전위에 의한 결함을 감소시킬 수 있다. 따라서, 반도체 발광소자(700)에 버퍼층(780) 및 금속층(770)을 함께 형성하면, 양자에 의한 반도체층의 결함감소 효과를 누릴 수 있다.

[0043] 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니라, 첨부된 청구범위에 의해 해석되어야 한다. 또한, 본 발명에 대하여 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 형태의 치환, 변형 및 변경이 가능하다는 것은 당해 기술분야의 통상의 지식을 가진 자에게 자명할 것이다.

도면의 간단한 설명

[0044] 도 1은 본 발명의 일실시예에 따른 반도체 발광소자의 단면도이다.

[0045] 도 2는 본 발명의 일실시예에 따른 활성층과 접촉하는 금속층을 갖는 반도체 발광소자의 단면도이다.

[0046] 도 3은 본 발명의 일실시예에 따른 스트라이프 패턴을 갖는 금속층을 갖는 반도체 발광소자의 사시도이다.

[0047] 도 4는 본 발명의 일실시예에 따른 격자패턴을 갖는 금속층을 갖는 반도체 발광소자의 사시도이다.

[0048] 도 5는 본 발명의 일실시예에 따른 2층 금속층을 갖는 반도체 발광소자의 단면도이다.

[0049] 도 6은 본 발명의 일실시예에 따른 3층 금속층을 갖는 반도체 발광소자의 단면도이다.

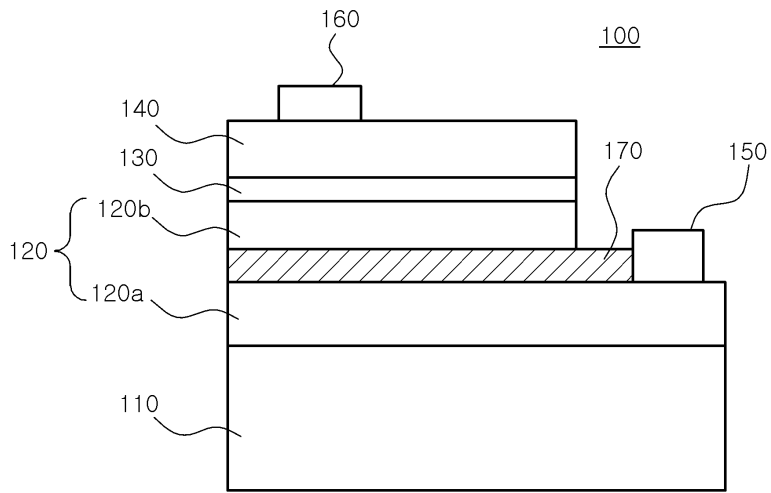
[0050] 도 7은 본 발명의 일실시예에 따른 버퍼층을 갖는 반도체 발광소자의 단면도이다.

[0051] <도면의 주요부분에 대한 부호의 설명>

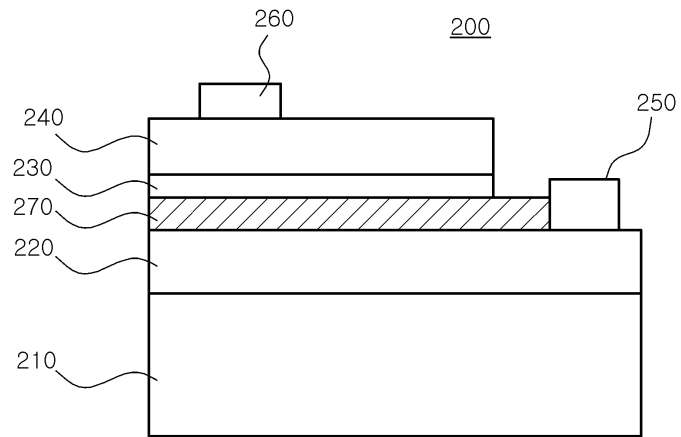
[0052]	100	반도체 발광소자	110	기판
[0053]	120	n형 반도체층	130	활성층
[0054]	140	p형 반도체층	150	n형 전극
[0055]	160	p형 전극	170	금속층

도면

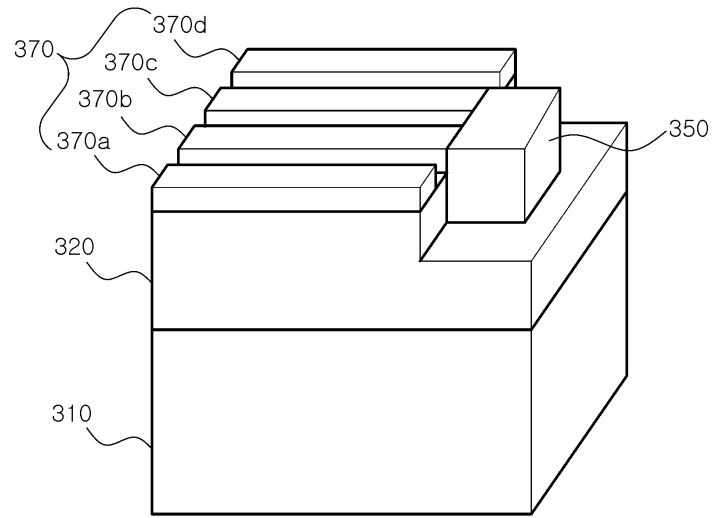
도면1



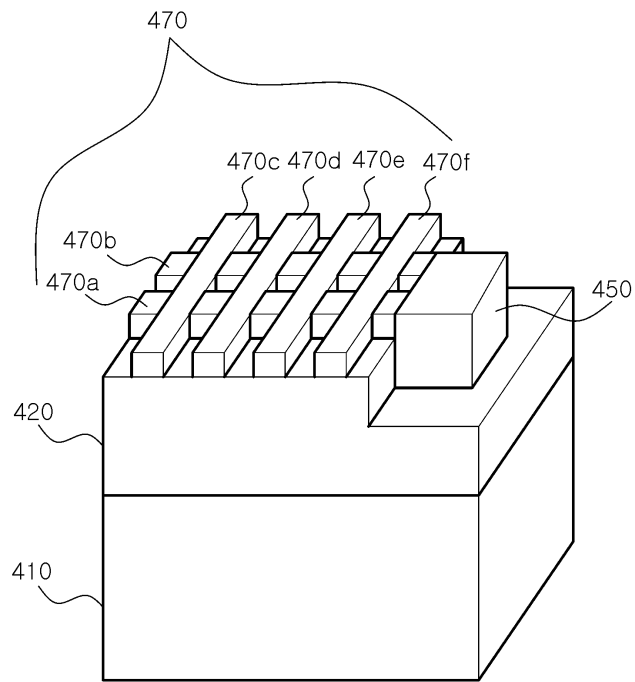
도면2



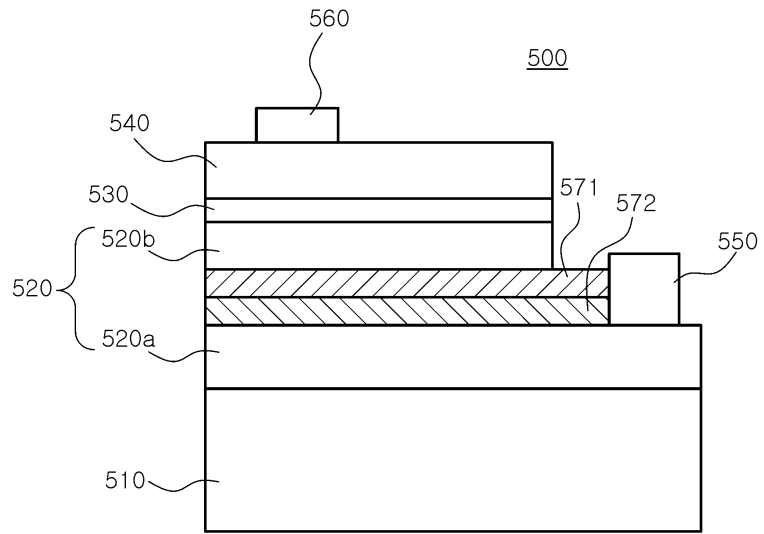
도면3



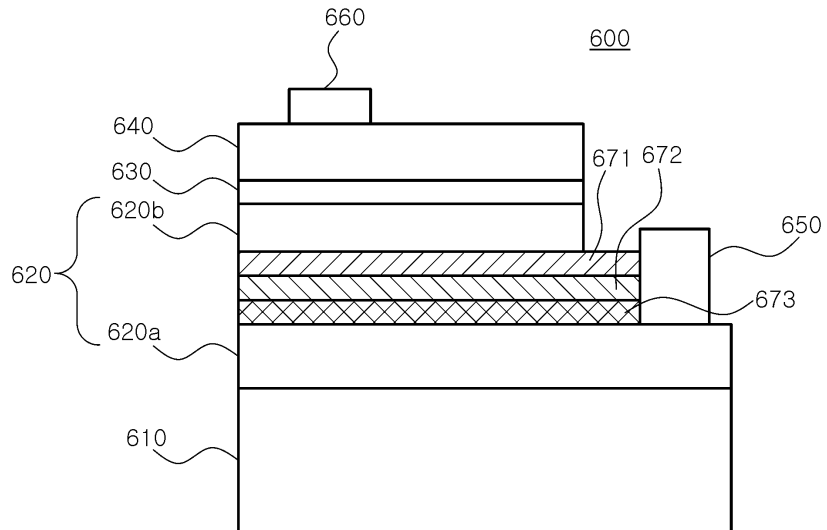
도면4



도면5



도면6



도면7

