(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0007467
(43) 공개일자 2010년01월22일

(51) Int. Cl.
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
(21) 출원번호 10-2008-0068111
(22) 출원일자 2008년07월14일
심사청구일자 2008년07월14일

(71) 출원인
광주과학기술원
광주 북구 오룡동 1번지
(72) 발명자
황현상
광주광역시 북구 첨단과기로 261(오룡동) 광주과학기술원신소재공학과
(74) 대리인
특허법인이상

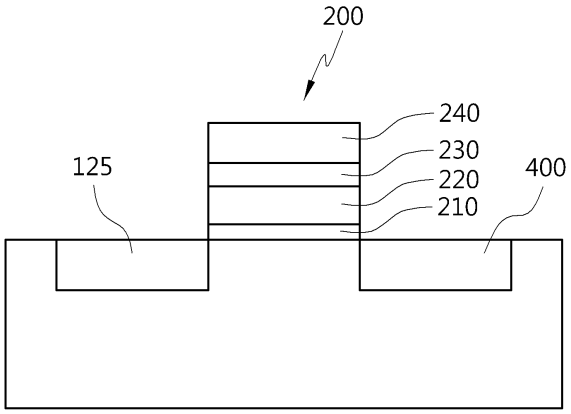
전체 청구항 수 : 총 11 항

(54) 게이트 구조물에 가변 저항체를 가지는 저항변화 메모리 및이의 동작 방법

(57) 요 약

게이트 구조물 내에 가변 저항체가 도입된 저항변화 메모리 및 이의 동작 방법이 개시된다. 가변 저항체를 가지는 게이트 구조물에 저항제어전압을 인가하여 게이트 구조물을 고저항 상태 또는 저저항 상태로 형성한다. 고저항 상태인 경우, 채널 영역 상단에 형성된 게이트 산화막에 인가되는 전압은 문턱 전압 미만으로 설정되어 메모리를 턴오프시킨다. 또한, 저저항 상태인 경우, 게이트 산화막에 인가되는 전압은 문턱 전압 이상으로 설정되어 메모리를 턴온시킨다. 따라서, 게이트 구조물의 저항 상태의 조절을 통해 동일한 읽기 전압의 인가에 따라, 메모리의 온/오프 상태를 확인할 수 있다.

대 표 도 - 도2



특허청구의 범위

청구항 1

소스 영역;

상기 소스 영역과 대향하는 드레인 영역; 및

상기 소스 영역과 상기 드레인 영역 사이의 채널 영역 상부에 형성되고, 저항제어전압에 따라 고저항 상태 또는 저저항 상태로 설정되어 온/오프 상태를 설정하는 게이트 구조물을 포함하는 저항변화 메모리.

청구항 2

제1항에 있어서, 상기 게이트 구조물은,

상기 채널 영역 상부에 형성된 게이트 산화막;

상기 고저항 상태의 형성시, 산소 이온을 공급하기 위한 산화물층;

상기 산소 이온과 반응하여 금속 산화물층을 형성하여 상기 고저항 상태를 만들거나, 환원을 통해 상기 저저항 상태를 형성하는 반응성 금속막; 및

상기 반응성 금속막에 전압을 공급하기 위한 게이트 전극을 포함하는 것을 특징으로 하는 저항변화 메모리.

청구항 3

제2항에 있어서, 상기 게이트 금속막은 실리콘 산화물 또는 실리콘 산화물과 실리콘 질화물의 복층막인 것을 특징으로 하는 저항변화 메모리.

청구항 4

제3항에 있어서, 상기 실리콘 산화물의 두께는 0.5nm 내지 3nm이고, 상기 실리콘 산화물과 실리콘 질화물 복층막의 유효 두께는 0.5nm 내지 3nm인 것을 특징으로 하는 저항변화 메모리.

청구항 5

제2항에 있어서, 상기 산화물층은 $Pr_{3-Y}Ca_YMnO_{3-X}$(PCMO), $La_{3-Y}Ca_YMnO_{3-X}$(LCMO), NiOx, CuOx, TiOx, TaOx, NbOx 또는 FeOx인 것을 특징으로 하는 저항변화 메모리.

청구항 6

제2항에 있어서, 상기 반응성 금속막은 Al(Aluminium), Mo(Molybdenum), W(Tungsten), La(Lanthanum), Ce(Cerium), Pr(Praseodymium), Nd(Neodymium), Pm(Promethium), Sm(samarium), Eu(Europium), Gd(Gadolinium), Tb(Terbium), Dy(Dysprosium), Ho(Holmium), Er(Erbium), Tm(Thulium), Yb(Ytterbium), Lu(Lutetium), Y(yttrium), 또는 Sc(Scandium)인 것을 특징으로 하는 저항변화 메모리.

청구항 7

제2항에 있어서, 상기 고저항 상태에서는 상기 게이트 전극에 인가되는 읽기 전압의 인가시, 상기 게이트 산화막에 인가되는 전압은 문턱 전압 미만이고, 상기 저저항 상태에서는 상기 읽기 전압의 인가시, 상기 게이트 산화막에 인가되는 전압은 상기 문턱 전압 이상인 것을 특징으로 하는 저항변화 메모리.

청구항 8

제7항에 있어서, 상기 고저항 상태는 상기 반응성 금속막에 상기 산소 이온을 공급하여 금속 산화물층을 형성함에 의해 달성되는 것을 특징으로 하는 저항변화 메모리.

청구항 9

제7항에 있어서, 상기 저저항 상태는 상기 금속 산화물층에 대해 환원반응을 수행함에 의해 달성되는 것을 특징으로 하는 저항변화 메모리.

청구항 10

소스 영역, 드레인 영역 및 게이트 구조물을 가지는 저항변화 메모리의 동작 방법에 있어서,

상기 게이트 구조물에 저항제어전압을 인가하여 상기 게이트 구조물을 고저항 상태 또는 저저항 상태로 설정하는 단계; 및

상기 게이트 구조물에 읽기 전압을 인가하여 상기 게이트 구조물의 저항 상태에 따라 온 상태 또는 오프 상태를 확인하는 단계를 포함하는 저항변화 메모리의 동작 방법.

청구항 11

제10항에 있어서, 상기 읽기 전압의 인가시, 상기 고저항 상태에서는 게이트 산화막에 인가되는 전압은 상기 저항변화 메모리의 문턱전압 미만이며, 상기 저저항 상태에서는 상기 게이트 산화막에 인가되는 전압은 상기 저항변화 메모리의 문턱전압 이상인 것을 특징으로 하는 저항변화 메모리의 동작 방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 메모리 소자의 구조 및 이의 동작 방법에 관한 것으로, 더욱 상세하게는 저항변화 메모리 소자의 구조 및 동작 방법에 관한 것이다.

배 경 기 술

<2> 비휘발성 메모리는 전원이 제거되더라도, 메모리 셀에 저장된 정보가 존속되는 특성을 가진다. 반면 휘발성 메모리는 전원이 제거되면, 메모리 셀에 저장된 정보가 제거되는 특성을 가진다.

<3> 대표적인 비휘발성 메모리 소자로는 플래시 메모리가 있다. 플래시 메모리는 읽기 동작 이외에 프로그램 동작 및 소거 동작이라는 양상을 가진다. 프로그램 동작은 채널 또는 소스/드레인 영역의 전자를 게이트 구조물 내에 트랩시켜서 트랜지스터의 문턱전압을 변경시키는 동작이다. 또한, 소거 동작은 게이트 구조물 내에 트랩된 전하를 채널로 이동시켜서 게이트 구조물 내의 트랩된 전하를 제거하는 동작을 지칭한다.

<4> 프로그램 또는 소거에 의해 발생되는 문턱 전압의 변경을 통해 정보의 저장이 발생되는 동작 양상이 플래시 메모리에서 발생한다.

<5> 최근에는 플래시 메모리 이외에도 저항체를 이용한 비휘발성 메모리가 다수 소개되고 있다. 즉, 상변화 메모리(PRAM: Phase change Random Access Memory) 및 저항변화 메모리(Resistive RAM) 등이 대표적으로 저항체를 이용한 비휘발성 메모리들이다.

<6> 상변화 메모리는 칼코게나이드 합금(chalcogenide alloy) 등의 상변화 물질의 상태 변화를 이용하고, 저항변화 메모리는 가변 저항체의 저항 변화를 이용한다.

<7> 도 1은 통상적으로 사용되는 저항 변화 메모리의 구조를 도시한 단면도이다.

<8> 도 1을 참조하면, 공통 소스 라인(100)에는 2개의 셀 트랜지스터가 구비되며, 각각의 셀 트랜지스터의 드레인 영역(110, 115)에는 가변저항체(120, 125)가 구비된다. 즉, 엑티브 영역인 드레인 영역(110, 115)의 상부에는 콘택(130, 135)이 구비되고, 콘택(130, 135)과 비트라인(140) 사이에는 가변저항체(120, 125)가 구비되는 구조를 가진다.

<9> 워드라인(150, 155)의 제어에 따라 셀 트랜지스터가 턴온되고, 소스영역(160)과 드레인 영역(110, 115) 사이에 고전력이 전달되면, 가변저항체(120, 125)에서는 열을 발생하고 발생된 열에 의해 가변저항체(120, 125)의 저항은 변경되는 특성을 가진다. 상술한 과정을 통해 각각의 셀들에 데이터가 저장되는 동작 양상을 가진다.

<10> 상술한 저항 변화 메모리의 경우에는 각각의 셀 트랜지스터의 드레인 영역의 상부에 가변 저항체가 구비되어야 하므로, 하나의 셀이 차지하는 면적이 제한을 받으며, 제조공정 상 가변저항체를 형성하기 위해 별도의 공정이 추가되어야 한다는 부담이 따른다.

<11> 또한, 범용적으로 가장 많이 사용되는 플래시 메모리도 제조공정상의 한계점을 노출하고 있다. 예컨대, 플래시 메모리의 경우, 전원전압보다 높게 공급되는 프로그램 전압 및 음의 값을 가지는 소거 전압을 양산하기 위해 별도의 회로가 구비되어야 한다는 부담을 가진다. 또한, 터널링을 이용한 프로그램 및 소거 동작이 필수적으로 일어나야 하므로 게이트 절연막의 수명이 제한을 받으며, 양산과정에서 특정의 메모리 셀에서 오류가 발생하는 문제가 노정된다.

<12> 또한, 낸드 플래시 메모리에서는 소거 동작시, F-N 터널링을 이용하는 경우가 대부분인데, 이는 낸드 플래시의 동작속도를 저하시키는 일 요인이 된다. 이외에도 실장환경에서 프로그램 동작의 정확성을 확보하기 위한 별도의 하드웨어가 구비되어야 하는 부담이 따른다.

발명의 내용

해결 하고자하는 과제

<13> 상술한 문제점을 해결하기 위해, 본 발명의 제1 목적은 게이트 측에 가변 저항체를 도입한 저항변화 메모리를 제공하는데 있다.

<14> 또한, 상기 문제점을 해결하기 위해, 본 발명의 제2 목적은 상기 제1 목적의 달성에 의해 제공되는 저항변화 메모리의 동작 방법을 제공하는데 있다.

과제 해결수단

<15> 상기 제1 목적을 달성하기 위한 본 발명은, 소스 영역; 상기 소스 영역과 대향하는 드레인 영역; 및 상기 소스 영역과 상기 드레인 영역 사이의 채널 영역 상부에 형성되고, 저항제어전압에 따라 고저항 상태 또는 저저항 상태로 설정되어 온/오프 상태를 설정하는 게이트 구조물을 포함하는 저항변화 메모리를 제공한다.

<16> 상기 제2 목적을 달성하기 위한 본 발명은, 소스 영역, 드레인 영역 및 게이트 구조물을 가지는 저항변화 메모리의 동작 방법에 있어서, 상기 게이트 구조물에 저항제어전압을 인가하여 상기 게이트 구조물을 고저항 상태 또는 저저항 상태로 설정하는 단계; 및 상기 게이트 구조물에 읽기 전압을 인가하여 상기 게이트 구조물의 저항 상태에 따라 온 상태 또는 오프 상태를 확인하는 단계를 포함하는 저항변화 메모리의 동작 방법을 제공한다.

효 과

<17> 상술한 본 발명에 따르면, 가변 저항체는 게이트 구조물에 도입된다. 게이트 구조물에 인가되는 저항제어전압에 따라 게이트 구조물은 고저항 상태 또는 저저항 상태로 설정되고, 설정된 저항 상태에 따라 저항변화 메모리는 온/오프 된다. 따라서, 터널링을 통해 게이트 구조물에 전하의 트랩동작이 요구되지 않으며, 이에 따라 메모리의 반복 사용에 대해서도 신뢰성을 확보할 수 있다. 또한, 저장되는 데이터의 정확성을 높일 수 있다. 이외에도 하나의 트랜지스터가 하나의 메모리 셀을 형성하므로, 메모리의 집적도를 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

<18> 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

<19> 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

<20> 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

<21> 실시예

<22> 도 2는 본 발명의 바람직한 실시예에 따른 저항변화 메모리를 도시한 단면도이다.

<23> 도 2를 참조하면, 게이트 구조물(200)의 양 측면에는 소스 영역(300) 및 드레인 영역(400)이 구비된다. 소스 영

역(300) 및 드레인 영역(400)은 고농도로 도핑된 영역이다.

<24> 상기 게이트 구조물(200)은 인가되는 전압에 의해 저항이 변경된다. 저항의 변경은 게이트 구조물(200) 하부의 채널 영역에 인가되는 전계의 세기를 변경시킨다. 따라서, 게이트 구조물(200)이 가지는 저항의 상태에 따라, 저항변화 메모리는 온 또는 오프될 수 있다. 즉, 동일한 읽기 전압 Vread가 인가되더라도, 게이트 구조물(200)의 저항상태에 따라 메모리는 턴온 또는 턴오프된다.

<25> 상기 게이트 구조물(200)은 게이트 산화막(210), 산화물층(220), 반응성 금속막(230) 및 게이트 전극(240)으로 구성된다.

<26> 게이트 산화막(210)은 실리콘 산화물(SiO2)로 구성된다. 또한, 게이트 산화막(210)으로 사용되는 실리콘 산화물의 두께는 0.5nm 내지 3nm 임이 바람직하다. 이외에도 상기 게이트 산화막(210)으로는 실리콘 산화물(SiO2)/실리콘 질화물(Si3N4)의 적층구조가 사용될 수 있다. 실리콘 산화물/실리콘 질화물의 적층구조가 사용될 경우, 유효 두께(EOT; Equivalent Oxide Thickness)는 0.5nm 내지 3nm 임이 바람직하다. 상기 게이트 산화막(210)의 두께가 0.5nm보다 얇은 경우, 게이트 산화막(210)에서 발생되는 누설 전류의 양이 증가하고, 절연 상태가 영구적으로 파괴되는 문제가 발생한다. 또한, 상기 게이트 산화막(210)의 두께가 3nm보다 두꺼운 경우, 상부의 게이트 산화막(210)을 흐르는 누설 전류가 미약하여 게이트 구조물(200) 자체에서의 저항의 변화를 유도하는 것이 곤란하게 된다.

<27> 상기 게이트 산화막(210) 상부에는 산화물층(220)이 구비된다. 상기 산화물층(220)은 $Pr_{3-Y}Ca_YMnO_{3-X}$(PCMO) 또는 $La_{3-Y}Ca_YMnO_{3-X}$(LCMO)로 구성될 수 있다. 상기 산화물층(220)은 본 발명에서 저항변화를 유도하기 위한 산소 이온의 공급원이 된다. 또한, 상기 산화물층(220)은 NiOx, CuOx, TiOx, TaOx, NbOx 또는 FeOx의 이성분계로 구성될 수도 있다. 구체적으로, 상기 산화물층(220)의 산소의 원자비는 화학양론비를 만족하거나 화학양론비를 만족하는 값보다 작을 수 있다. 다시 말해서, 상기 산화물층(220)은 산소 공공(oxygen vacancy)이 있는 비화학양론적(non-stoichiometry layer)인 막일 수 있다. 일 예로서, 상기 PCMO 또는 LCMO에서 x는 0 내지 1일 수 있고, y는 0.1 내지 1.5일 수 있다.

<28> 상기 산화물층(220) 상부에는 반응성 금속막(230)이 구비되는데, 상기 반응성 금속막(230)은 Al(Aluminium), Mo(Molybdenum), W(Tungsten), La(Lanthanum), Ce(Cerium), Pr(Praseodymium), Nd(Neodymium), Pm(Promethium), Sm(samarium), Eu(Europium), Gd(Gadolinium), Tb(Terbium), Dy(Dysprosium), Ho(Holmium), Er(Erbium), Tm(Thulium), Yb(Ytterbium), 또는 Lu(Lutetium)을 포함하는 란탄족 금속막; Y(yttrium)막; 또는 Sc(Scandium)막일 수 있다.

<29> 게이트 구조물(200)의 고저항 상태에서 상기 반응성 금속막(230)은 산화물층(220)으로부터 공급되는 산소 이온과 결합하여 금속 산화물층을 형성한다. 또한, 게이트 구조물(200)이 저저항 상태인 경우, 형성된 금속 산화물층은 환원된다.

<30> 상기 반응성 금속막(230)의 두께는 2nm 내지 10nm로 형성됨이 바람직하다. 상기 반응성 금속막(230)의 두께가 2nm보다 얇은 경우, 산화물층(220)으로 부터 공급되는 산소 이온과의 결합에 의해 반응성 금속막(230)의 대부분이 산화되는 문제가 발생되며, 상기 반응성 금속막(230)의 두께가 10nm보다 두꺼운 경우, 상기 산화물층(220)으로 부터 공급되는 산소 이온과의 결합이 진행성으로 발생하여, 저항의 변화를 제어하지 못하는 문제가 발생한다.

<31> 상기 반응성 금속막(230)의 상부에는 게이트 전극(240)이 형성된다. 상기 게이트 전극(240)은 Pt 막, W 막 또는 Mo막일 수 있다.

<32> 도 3은 본 발명의 바람직한 실시예에 따른 저항변화 메모리의 동작을 설명하기 위한 도면이다.

<33> 도 3을 참조하면, 게이트 산화막(210)으로는 실리콘 산화물이 사용되며, 산화물층은 $La_{3-Y}Ca_YMnO_{3-X}$(LCMO)를 사용한다. 또한, 반응성 금속막(230)으로는 Sm을 사용하며 게이트 전극은(240) Mo를 사용한다.

<34> 먼저, 게이트 전극(240)을 통해 저항제어전압 Vp를 인가하면, 산화물층(220)의 산소 이온은 반응성 금속막(230)으로 이동한다. 산소 이온을 반응성 금속막(230)으로 이동시키기 위해 인가되는 저항제어전압 Vp는 게이트 구조물(200)을 형성하는 막질의 조성 및 두께에 의해 변경될 수 있는 수치이다. 다만, 저항제어전압 Vp가 과도하게 높은 경우, 과도한 산소 이온의 발생으로 인해 반응성 금속막(230) 전체가 산화할 수 있는 부작용이 있으며, 저항제어전압 Vp가 과도하게 낮은 경우, 산소 이온이 반응성 금속막(230)과 충분히 결합하지 못하는 문제가 발

생될 수 있다.

<35> 계속해서 저항제어전압 Vp의 인가에 따라 반응성 금속막(230)의 하부는 금속 산화물층(235)으로 변경된다. 금속 산화물층(235)은 반응성 금속막(230)과 산소 이온의 결합에 의해 형성된 것이다. 따라서, 게이트 구조물(200)은 저항이 증가된 고저항 상태가 된다.

<36> 따라서, 저항제어전압 Vp가 인가된 이후의 저항변화 메모리는 2개의 저항이 직렬로 연결된 것으로 모델링될 수 있다. 저항 R1은 게이트 산화막(210)의 저항을 나타내고, R2는 금속 산화물층(235) 및 산화물층(230)의 저항을 나타낸다.(산화물층이 $Pr_{3-Y}Ca_YMnO_{3-X}$(PCMO) 또는 $La_{3-Y}Ca_YMnO_{3-X}$(LCMO)로 구성된 경우, 산화물층의 저항은 금속 산화물층에 비해 미미한 수준이 된다.)

<37> 따라서, 정상적인 읽기 동작에서 Vread가 게이트 전극(240)에 인가된 경우, 게이트 산화막(210)에 인가되는 전압 Vox는 (R1/(R1+R2))*Vread가 된다.

<38> 도 4는 본 발명의 바람직한 실시예에 따른 저항변화 메모리의 동작을 설명하기 위한 다른 도면이다.

<39> 도 4를 참조하면, 저항변화 메모리 소자의 구성은 상기 도 3에서 설명된 바와 동일하다. 다만, 금속 산화물층(235)이 형성된 상태에서 새로운 저항제어전압 Vr을 인가하여 금속 산화물층(235)을 환원시켜서 저항을 떨어뜨리는 동작이 수행된다.

<40> 금속 산화물층(235)을 환원시키기 위해 인가되는 저항제어전압 Vr은 음의 값을 가지게 된다. 이는 메모리를 구성하는 트랜지스터의 바디가 접지됨을 가정한 것이다. 따라서, 바디의 접지전압보다 낮은 전압이 저항제어전압 Vr로 설정되어야 한다. 음의 값을 가지는 저항제어전압 Vr에 의해 금속 산화물층(235)에서 산소 이온은 산화물층(230)으로 이동하고, 금속산화물층은 반응성 금속막(230)으로 환원된다. 따라서, 금속산화물층(235)의 두께는 감소하거나, 금속산화물층(235) 전체는 반응성 금속막(230)으로 변환된다. 따라서, 산화물층(220)과 금속산화물층(235)에 의해 발현되는 저항값은 감소한다.

<41> 상기 저항값의 계산은 환원반응에 의해 금속산화물층(235)이 잔류하는 것을 가정한 것이다. 그러나, 환원상태에 따라서는 금속산화물층(235) 전체가 제거될 수도 있다. 따라서, 이때의 저항값은 산화물층(220)의 저항만을 반영함이 바람직하다.

<42> 상술한 저항변화 메모리의 동작은 회로적으로 저항 R1과 저항 R3가 직렬로 구성된 것으로 모델링된다. 상기 저항 R3는 상기 도 3의 R2보다 작은 값을 가진다. 또한, 저항 R1은 상기 도 3에서 개시된 바와 같이 게이트 산화막(210)의 저항값을 나타내고, 저항 R3은 금속 산화물층(235) 및 산화물층(220)의 저항을 나타낸다.

<43> 금속 산화물층(235)에서 발생된 환원작용으로 인해 게이트 구조물(200)의 저항은 감소된다. 따라서, 게이트 구조물(200)은 저저항 상태가 된다. 만일, 게이트 전극(240)에 읽기 전압 Vread가 인가되는 경우, 게이트 산화막(210)에 인가되는 전압 Vox는 (R1/(R1+R3))*Vread가 된다.

<44> 상술한 저항변화 메모리가 정상적으로 동작하기 위한 조건은 다음의 표로서 정리된다.

<45>

상태	고저항 상태	저저항 상태
게이트 산화막에 인가되는 전압 Vox	(R1/(R1+R2))*Vread,	(R1/(R1+R3))*Vread, R3<R2
Vox의 조건	Vox<Vth	Vox>Vth

<46> 상기 표에서 Vth는 상기 도면들에서 메모리 소자인 트랜지스터의 문턱전압을 나타낸다. 즉, 트랜지스터가 NMOS인 경우에는 문턱전압 Vth가 양의 값을 가지므로 Vox의 조건이 그대로 적용될 것이나, PMOS인 경우에는 문턱전압 Vth가 음의 값을 가지므로 부등호의 방향은 반대가 된다.

<47> 상술한 표 및 도 3 내지 4를 참조하면, 저항변화 메모리는 고저항 상태에서는 트랜지스터가 오프 상태가 된다. 이는 게이트 산화막에 인가되는 전압이 문턱전압 Vth 보다 낮게 설정되기 때문이다.

<48> 또한, 저저항 상태에서는 게이트 산화막에 인가되는 전압이 문턱전압 Vth 보다 높게 설정된다. 따라서, 저항변화 메모리는 턴온된다.

<49> 상술한 바와 같이, 본 발명에 따른 저항변화 메모리는 드레인 영역에 별도의 콘택을 통해 가변 저항체를 배치시키는 종래의 구조를 취하지 않는다. 또한, 프로그램 전압을 인가하여 터널링 산화막의 터널링을 통한 전하의 트

랩 동작을 이용하지 않는다.

<50> 즉, 형성된 게이트 구조물에 필요한 바이어스를 인가하여 고저항 상태 또는 저저항 상태를 만든다. 또한, 고저항 상태 또는 저저항 상태에 따라, 동일한 읽기전압 Vread에서 게이트 산화막에 인가되는 전압은 다르게 설정된다. 이를 통하여 메모리 소자의 온/오프 상태를 조절할 수 있다.

<51> 메모리 소자의 온/오프 상태는 정보의 저장형태로 발현된다. 예컨대, 읽기전압 Vread의 인가시, 메모리가 온되는 경우, 메모리에는 데이터 '1'이 저장된 것으로 인식할 수 있고, 메모리가 오프된 경우, 메모리에는 데이터 '0'이 저장된 것으로 인식될 수 있다. 물론 그 반대의 경우도 성립할 수 있다.

<52> 도 5는 본 실시예에 따른 저항변화 메모리의 동작을 설명하기 위한 그래프이다.

<53> 도 5를 참조하면, 읽기 전압 Vread가 게이트 전극에 인가된다. 상기 읽기 전압 Vread는 고저항 상태를 유도하기 위해 인가되는 게이트 전압인 저항제어전압 Vp보다 낮게 설정되고, 저항변화 메모리의 저저항 상태를 유도하기 위해 인가되는 게이트 전압인 저항제어전압 Vr보다 높게 설정된다.

<54> 고저항 상태에서는 게이트 산화막에 인가되는 전압은 메모리의 문턱전압 이하로 설정된다. 따라서, 고저항 상태에서 메모리는 턴오프된다.

<55> 또한, 저저항 상태에서는 읽기전압 Vread가 게이트 전극에 인가되고, 게이트 산화막에 인가되는 전압은 문턱 전압 이상으로 설정된다. 따라서, 저저항 상태에서는 메모리는 턴온된다.

<56> 본 발명에서는 게이트 구조물을 저저항 상태 또는 고저항 상태로 설정한다. 또한, 게이트 구조물에 읽기 전압 Vread를 인가하여 저저항 상태에서는 저항변화 메모리가 턴온되도록 하고, 고저항 상태에서는 저항변화 메모리가 턴오프되도록 한다.

<57> 상술한 저항변화 메모리는 드레인 영역 상부의 소정 영역에 저항변화체를 구비하지 아니하고, 게이트 구조물 내에 저항변화체를 구비한다. 또한, 게이트 구조물의 저항의 변화를 통해 메모리의 정보를 저장하는 동작을 취한다. 따라서, 기존의 저항변화 메모리인 ReRAM에 비해 집적도를 향상시킬 수 있다. 또한, 기존의 플래시 메모리에 비해 터널링 동작을 수행하지 않으므로, 동작의 속도가 향상되고, 메모리의 반복적 사용에서도 저장된 정보의 신뢰성을 확보할 수 있는 잇점이 있다.

도면의 간단한 설명

<58> 도 1은 통상적으로 사용되는 저항 변화 메모리의 구조를 도시한 단면도이다.

<59> 도 2는 본 발명의 바람직한 실시예에 따른 저항변화 메모리를 도시한 단면도이다.

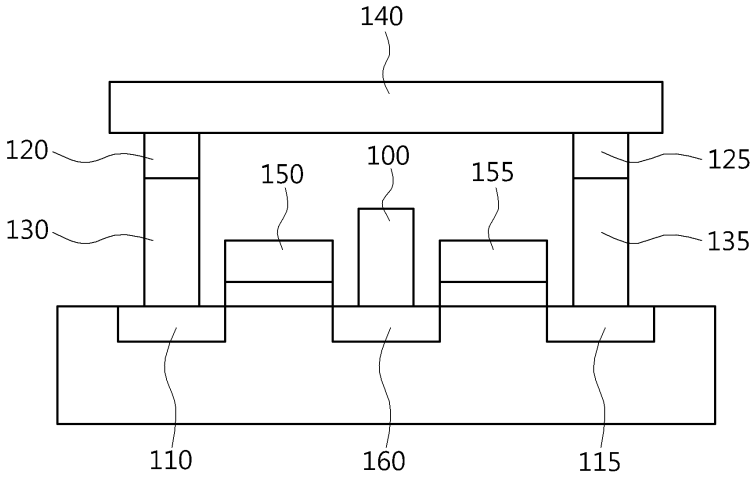
<60> 도 3은 본 발명의 바람직한 실시예에 따른 저항변화 메모리의 동작을 설명하기 위한 도면이다.

<61> 도 4는 본 발명의 바람직한 실시예에 따른 저항변화 메모리의 동작을 설명하기 위한 다른 도면이다.

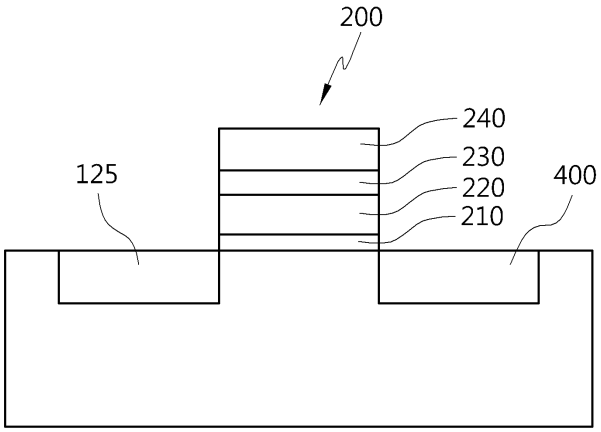
<62> 도 5는 본 실시예에 따른 저항변화 메모리의 동작을 설명하기 위한 그래프이다.

도면

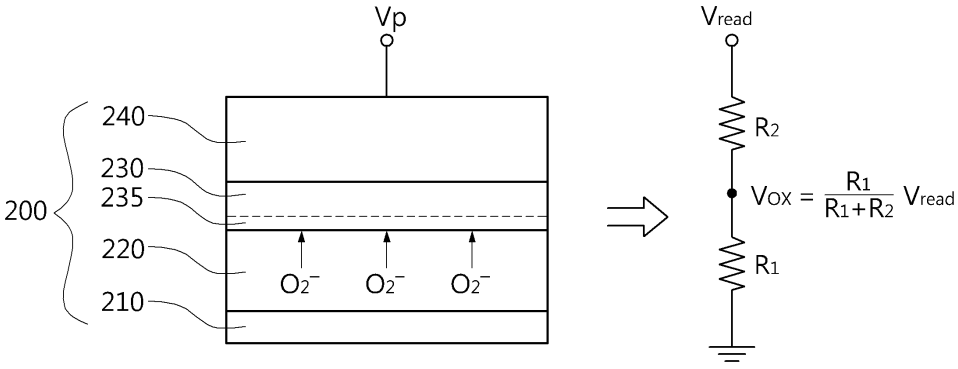
도면1



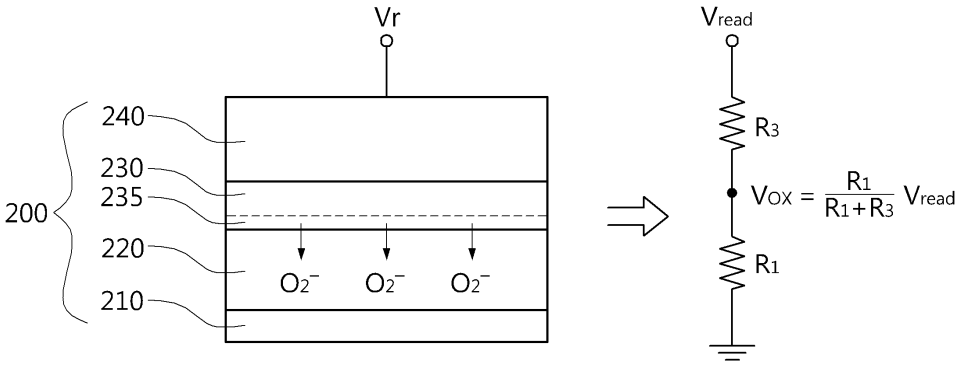
도면2



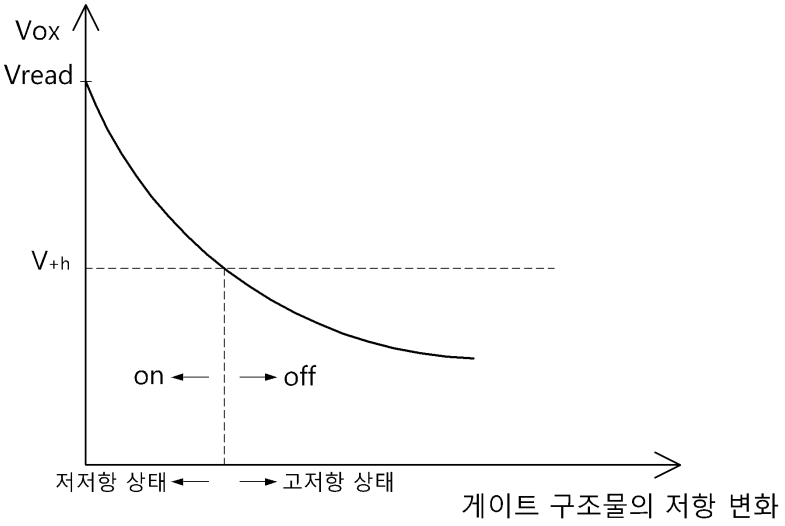
도면3



도면4


Vr
240
230
235
200
220
210
O2−
O2−
O2−
Vread
R3
VOX = R1/(R1+R3) Vread
R1

도면5


Vox
Vread
V+h
on
off
저저항 상태
고저항 상태
게이트 구조물의 저항 변화